

ISTITUTO PROFESSIONALE DI STATO PER L'INDUSTRIA L'ARTIGIANATO
CON SEZIONI DI SCUOLA PER LE ATTIVITA' MARINARE
63039 SAN BENEDETTO DEL TRONTO (Ascoli Piceno)
Distretto N.16

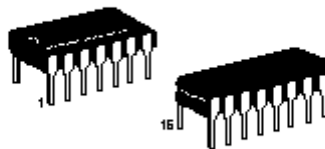
Classe VA T.I.E.E.

Anno Scolastico 1995/96

Docente: prof. Franco Tufoni

ASIC

Application Specific Integrated Circuit



ASIC

La grande varietà delle funzioni logiche implementate dai circuiti integrati SSI , MSI e LSI presenti sul mercato consente di realizzare con questi dispositivi standard qualsiasi tipo di sistema digitale , dal più semplice al più complesso .

E' chiaro tuttavia che con la complessità del sistema cresce il numero dei componenti richiesto e conseguentemente diviene più difficoltoso realizzare correttamente il circuito stampato.

Ciò comporta inevitabilmente da un lato una diminuzione dell'affidabilità e delle prestazioni del sistema e dall'altro un aumento dei costi del prodotto finito.

Si tenga inoltre presente che i circuiti integrati standard , proprio per la varietà dei campi di impiego , hanno caratteristiche sovradimensionate per la maggior parte delle applicazioni effettive (si pensi agli elevati valori del fan - out e del margine di rumore) , in contrasto con l'esigenza di ottimizzazione del sistema nel suo insieme .

All'estremo opposto ai circuiti integrati standard si collocano i circuiti integrati full-custom , così chiamati perchè realizzati sulle specifiche particolari di un determinato cliente.

Si tratta in genere di circuiti molto complessi implementati su singolo chip e quindi con prestazioni ottimizzate , in grado di soddisfare nel modo migliore le esigenze di una determinata applicazione .

Nascono così circuiti integrati adatti , ad esempio , ad essere impiegati nel sistema di controllo centralizzato di un certo tipo di automobile oppure circuiti in grado di gestire il funzionamento di una certa marca di calcolatrice tascabile , ecc.

I vantaggi sono evidenti :

- 1) drastica riduzione dello spazio occupato nel circuito stampato ;
- 2) elevatissima affidabilità ;
- 3) velocità di lavoro più alta ;
- 4) minor costo unitario per produzioni su larga scala ;
- 5) maggiore protezione contro le imitazioni.

I progressi della tecnologia dei circuiti LSI e VLSI , insieme con l'evoluzione delle tecniche informatiche , hanno consentito in questi ultimi anni lo sviluppo di una categoria di circuiti integrati , di tipo **semi - custom** , che combina le caratteristiche di flessibilità e di modularità dei circuiti integrati standard con quelle di affidabilità ed economicità dei componenti **full - custom**.

Per questi circuiti , pur molto diversi fra loro , è stato coniato il termine **ASIC** : **A**pplication **S**pecific **I**ntegrated **C**ircuit .

Si tratta di circuiti integrati costituiti da un numero molto elevato di blocchi elettronici elementari, porte logiche o addirittura semplici transistori , le cui interconnessioni sono lasciate appositamente incomplete dal costruttore.

Il compito del progettista è quello di completare , mediante tecniche assistite dal computer (CAE: Computer Aided Engineering) , le connessioni in modo da comporre il circuito adatto delle proprie esigenze.

Nelle forme più recenti il costruttore , anzichè i componenti fisici , fornisce una lista o libreria delle celle elementari disponibili , di cui ha ormai standardizzato e ottimizzato le tecniche di produzione sul silicio.

Il progettista a sua volta assembla su computer con le celle di libreria il suo circuito , che verrà successivamente implementato su silicio dal costruttore , in tempi e con costi nettamente

inferiori rispetto ad un analogo progetto full - custom.

Una classificazione degli ASIC unica e definitiva non è possibile , per la continua evoluzione di questi dispositivi .

Può tuttavia essere proposta quella illustrata in Fig. 1 , che distingue fra componenti programmabili , le cui connessioni interne vengono effettuate fisicamente dal cliente mediante apparecchiature simili ai programmatori di PROM e di EPROM , e componenti a mascheratura ; questi ultimi necessitano ancora di fasi di lavorazione sul silicio , più o meno complete , ma tutte implicanti operazioni di mascheratura .

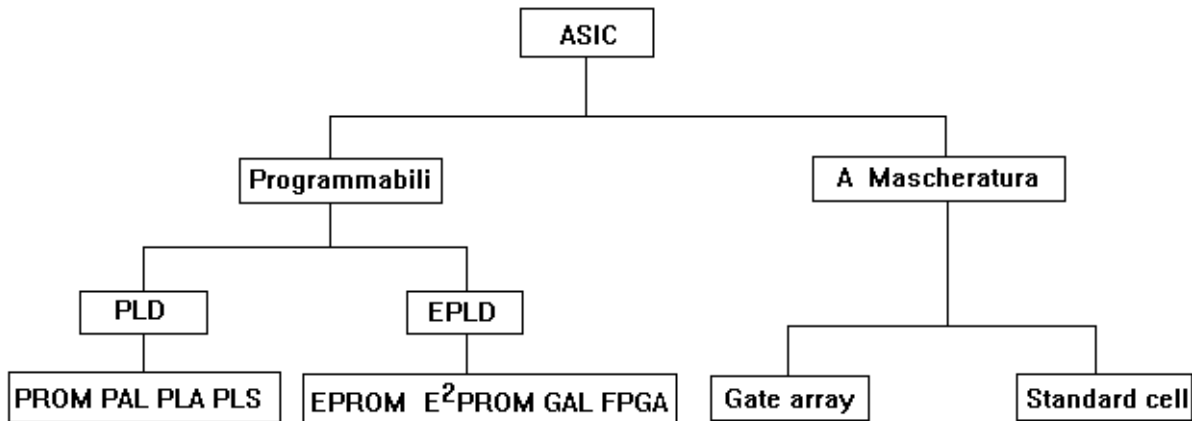


Fig. 1 Classificazione dei dispositivi ASIC

Il processo di fabbricazioni dei circuiti integrati utilizza tecniche fotolitografiche che impiegano ripetutamente maschere per la delimitazione di diverse zone presenti sulla piastrina di silicio : le zone contenenti i componenti elettronici , quelle di isolamento e quelle occupate dalle linee di connessione.

ASIC programmabili

Considerando gli ASIC programmabili , si possono distinguere i PLD (Programmable Logic Device), programmabili una sola volta dall'utente , e dispositivi EPLD (Erasable Programmable Logic Device), che consentono la cancellazione e la riprogrammazione.

I principi su cui si basano queste due classi di componenti sono rispettivamente analoghi a quelli delle PROM e a quelli delle EPROM ed E²PROM.

Prima di analizzare le caratteristiche dei vari dispositivi conviene chiarire la convenzione grafica esemplificata in fig. 2 e comunemente adottata per i dispositivi programmabili .

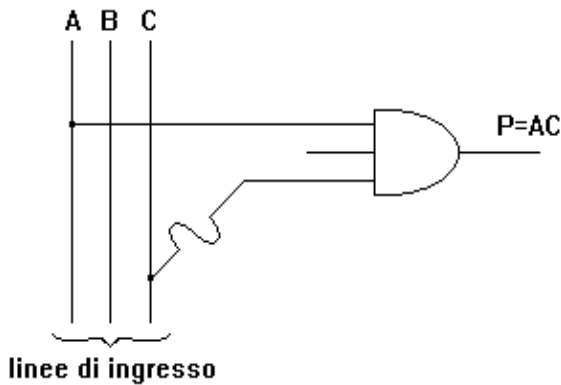


Fig. 2a

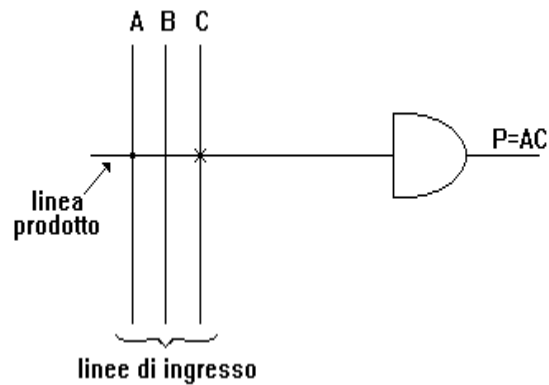


Fig. 2b

Il circuito logico di fig. 2a può essere semplificato in modo graficamente semplificato dallo schema di fig. 2b.

Si tratta di una porta AND a tre ingressi , di cui il primo è collegato in maniera fissa alla linea A , il secondo è scollegato ed il terzo è connesso alla linea C tramite un collegamento programmabile , per tradizione indicato con un fusibile.

Nella forma semplificata di fig. 2b gli ingressi vengono raccolti in un'unica linea (linea prodotto) e i collegamenti sono indicati con un punto per quello fisso e con una X per quello programmabile.

Più precisamente la presenza della X indica che il fusibile è intatto e quindi che il contatto è ON .

Al contrario l'assenza del punto o della X significa contatto aperto (OFF) , ad esempio in seguito alla bruciatura del fusibile.

La funzione logica implementata dallo schema di fig. 2b è pertanto

$$P=AC$$

In pratica i contatti possono essere veri e propri fusibili , come quelli usati nelle PROM , oppure collegamenti programmabili e cancellabili basati su MOS a gate fluttuante , analoghi a quelli delle EPROM e E²PROM.

PAL

La struttura di una PAL (programmable array logic) comprende , come per la PROM , una matrice di AND connessa ad una matrice di OR .

Tuttavia nella PAL , che rappresenta la forma più semplice di ASIC, la matrice AND presenta contatti programmabili e la matrice di OR contatti fissi .

In fig.3 è riportato lo schema di una PAL a 4 ingressi , 16 linee prodotto , 4 uscite ciascuna uscita (Y_0, Y_1, Y_2, Y_3) rappresenta la somma logica di quattro prodotti logici delle variabili di ingresso .

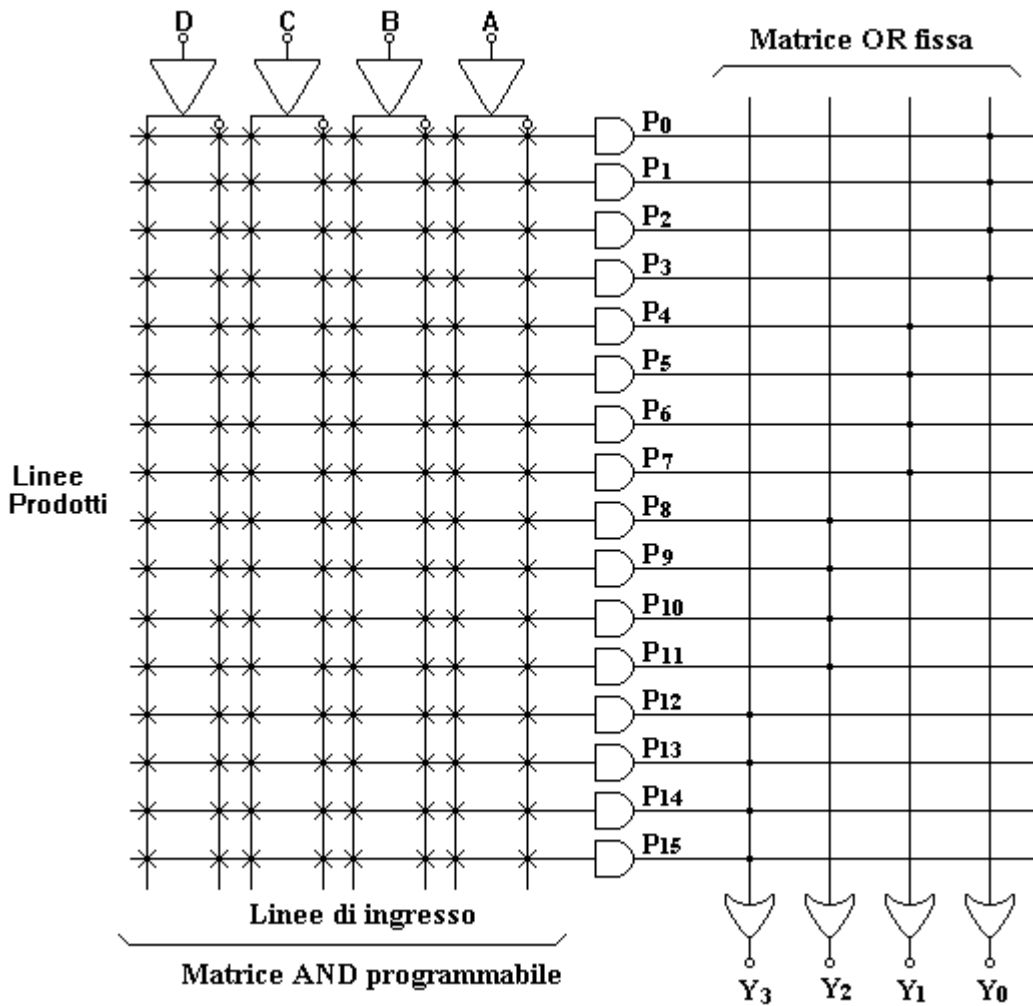


Fig. 3 Struttura di una PAL

$Y_0 = P_0 + P_1 + P_2 + P_3$ $Y_1 = P_4 + P_5 + P_6 + P_7$ $Y_2 = P_8 + P_9 + P_{10} + P_{11}$ $Y_3 = P_{12} + P_{13} + P_{14} + P_{15}$

Poichè i termini prodotto presenti nell'espressione di una funzione booleana sono di solito in numero ben inferiore a tutte le possibili combinazioni delle variabili di ingresso , anche la struttura della **PAL** consente in pratica di realizzare qualsiasi funzione .

Nell' esempio le variabili di ingresso sono solo 4 e possono non essere sufficienti per la maggior parte dei circuiti da implementare .

Tuttavia un più elevato numero di ingressi (ad esmpio 10) non comporta un 'espansione eccessiva della matrice programmabile , come succede invece per le PROM.

Ad esempio una PAL con 10 ingressi , 16 linee prodotto e 4 uscite viene ad avere una matrice di solo $20 \times 16 = 320$ fusibili.

Spesso questi dispositivi logici programmabili sono costituiti da matrici di altro tipo , come NAND-NAND , NOR-NOR , OR - NAND , AND-NOR, NOR-NOR , NAND-AND , OR-AND , tutte equivalenti fra di loro , come insegnano i teoremi di **De Morgan** .

In molti tipi di PAL alcune linee di uscita sono connesse a flip-flop previsti per memorizzare ossia registrare i dati in sincronismo con un segnale di clock ; sono le così dette versioni

registrered , che consentono fra l'altro la realizzazione di applicazione in logica sequenziale.

PLA

I **PLA** (programmable logic array) presentano rispetto alle **PAL** maggiore flessibilità di impiego potendo essere programmati sia nella matrice AND che in quella OR.
 in fig. 4 è rappresentata come esempio una struttura PLA a 4 ingressi , 16 linee prodotto e 4 uscite.

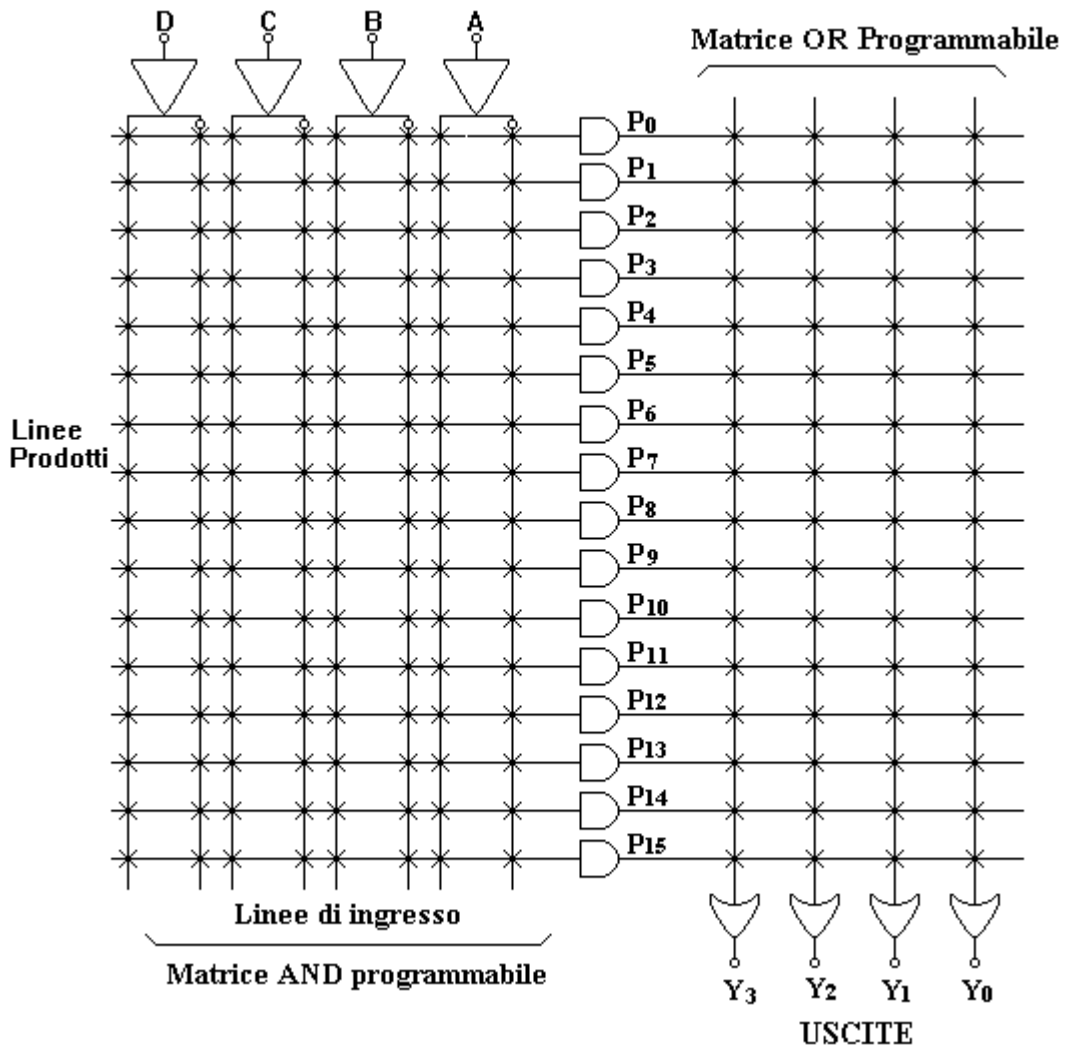


Fig. 4 Struttura di una PLA

Il numero dei termini prodotto per ogni funzione non è più fisso ma programmabile in genere dal progettista stesso mediante apparecchiature simili a quelle usate per le PROM e le EPROM .

Per questo motivo i dispositivi vengono anche chiamati FLPA (field PLA: PLA programmabili sul campo).

Questi dispositivi possono normalmente implementate 20-60 termini prodotto e sostituiscono mediamente da 3 a 10 integrati MSI. Essi vengono realizzati mediante tecnologia MOS che

bipolare

PLS

I PLS (programmable logic sequencer) rappresentano la naturale evoluzione dei PLA, di cui conservano la struttura a matrici e porte.

Essi sono caratterizzati dalla presenza di buffer di ingresso - uscita, in genere bidirezionali, di elementi di memoria, quali i FLIP-FLOP, e di linee di retroazione.

Questi due elementi consentono così di realizzare non solo circuiti combinatori ma anche circuiti sequenziali di una certa complessità.

Tipicamente un PLS contiene un numero elevato di blocchi funzionali simile a quello illustrato in fig. 5

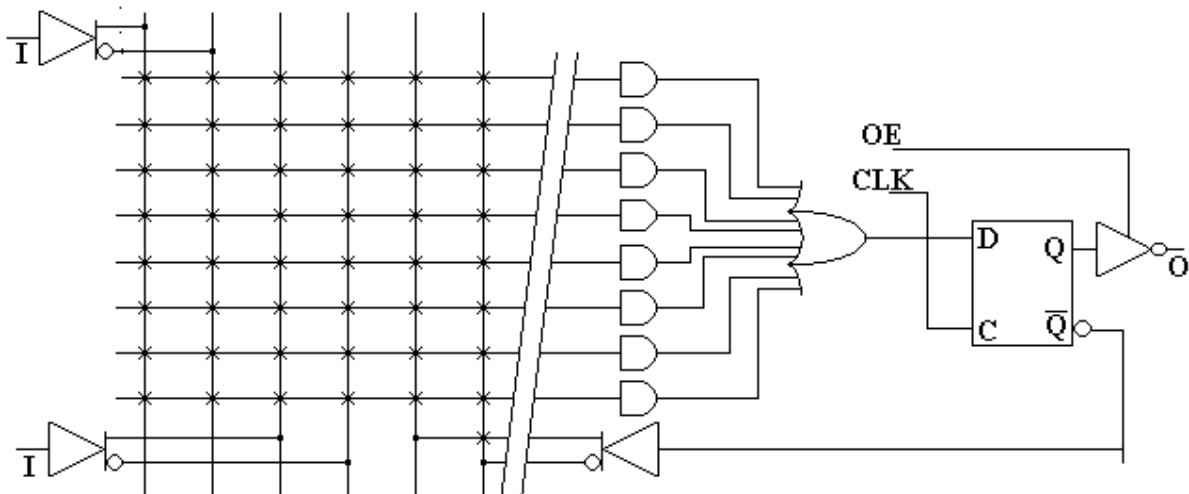


Fig.5 Blocco funzionale di un PLS

Si riconosce sull'uscita della porta OR un FLIP-FLOP di tipo D, che provvede a fornire il segnale di uscita attraverso un buffer invertente tristate.

L'altra uscita del FLIP-FLOP (Q neg) costituisce la linea di retroazione che va a collegarsi alla matrice AND di ingresso.

Blocchi simili a questo vengono ripetuti in numero elevato nel dispositivo.

EPLD

I dispositivi cancellabili e riprogrammabili incontrano oggi il maggior successo commerciale e sono in fase di evoluzione rapida e continua.

Essi comprendono due categorie di componenti.

a) La prima presenta caratteristiche funzionali sostanzialmente simili a quelle dei PLD più complessi e potenti con il vantaggio di consentire la cancellazione mediante raggi ultravioletti oppure per via elettrica come le EPROM.

Questi ultimi componenti vengono anche chiamati GAL (Generic Array Logic).

b) La seconda categoria raccoglie circuiti riprogrammabili molto sofisticati, realizzati con tecnologie di avanguardia e con architetture innovative, noti con la denominazione FPGA (Field Programmable Gate Array) o LCA (Logic Cell Array).

Nel campo dei dispositivi programmabili è indispensabile l'uso di tool (strumenti) software ; sono comunemente disponibili programmi che , a partire dall'espressione da implementare , consentono di arrivare a programmare i dispositivi , aprendo o bruciando i collegamenti necessari.

Pacchetti software ancora più avanzati evitano al progettista la laboriosa fase della minimizzazione delle funzioni ed accettano in ingresso direttamente la tavola della verità o altre forme descrittive convenzionali della funzione da implementare.

Tutti i dispositivi logici programmabili dall'utente consentono di implementare in tempi brevissimi piccole produzioni di circuiti anche complessi , con costi fortemente ridotti rispetto alla logica tradizionale.

Certamente in questi circuiti l'occupazione del silicio non è ottimale ; infatti normalmente parti anche estese di blocchi funzionali rimangono inutilizzate.

ASIC a mascheratura

Con questi dispositivi ASIC i tempi di realizzazione sono più lunghi ma si possono ottenere circuiti molto più complessi dei precedenti. Il loro impiego è quindi giustificato quando la complessità del circuito è elevata ed i volumi di produzione sono cospicui.

GATE ARRAY

Sono circuiti integrati costituiti da un numero elevatissimo di blocchi logici elementari identici, che l'utente deve collegare opportunamente secondo le specifiche di progetto, valendosi di supporti di tipo CAE.

Il gate array è essenzialmente costituito da un *nucleo* (*core*) composto da blocchi (insiemi di MOS o BJT) disposti secondo le righe e le colonne di una matrice (fig.6).

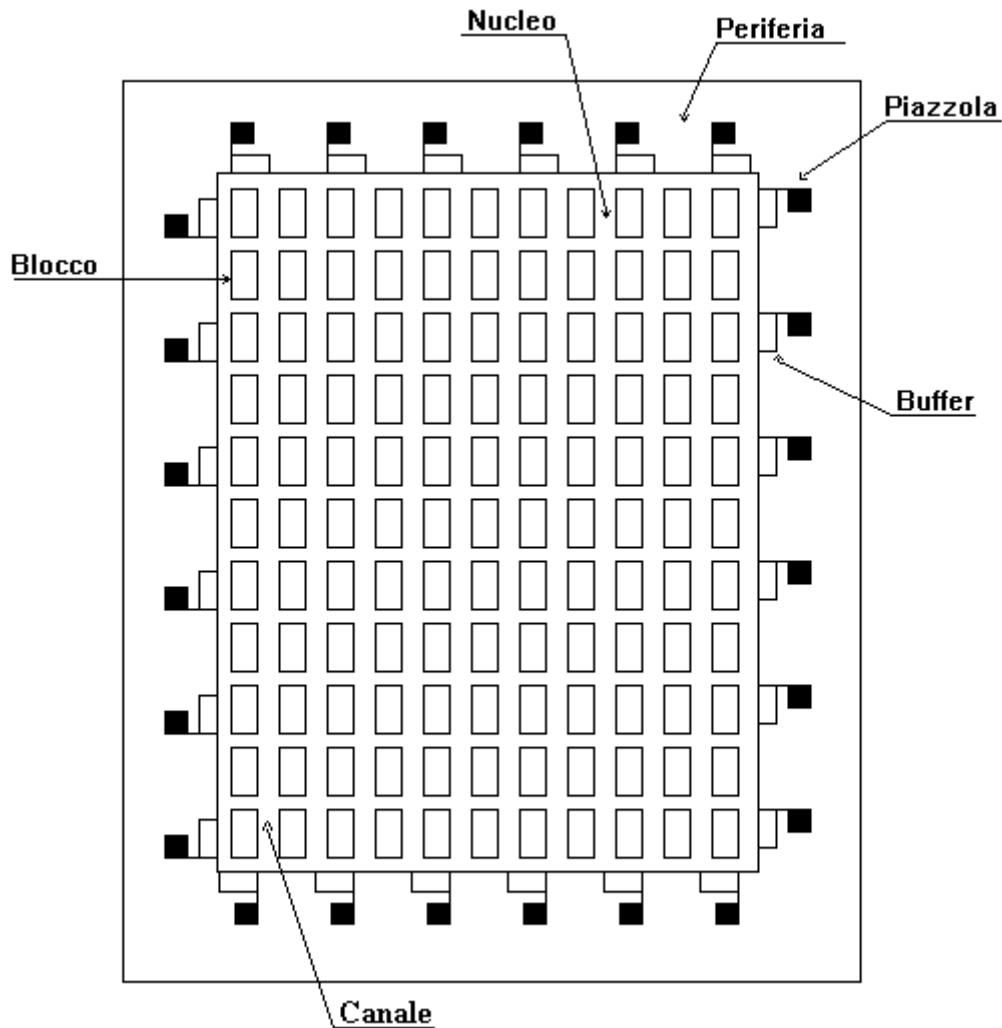


Fig. 6 Struttura di un gate array

I transistori possono essere connessi opportunamente fra loro dal progettista in modo da formare porte logiche (generalmente NAND e NOR) e, tramite queste, tutti gli altri circuiti logici. Tipicamente un gate array incorpora da 100 a diverse migliaia di porte equivalenti. I vari blocchi sono separati dai *canali* che ospitano i collegamenti (*wiring channel*). Intorno al nucleo si estende una *periferia* contenente i buffer di I/O, in genere bidirezionali, e le piazzole (*pad*) per i collegamenti con i terminali del contenitore.

Il componente fornito dalla casa costruttrice e' gia' stato sottoposto a fasi di lavorazione implicantanti da 4 a 6 livelli di mascheratura. Per effettuare il collegamento (*routing*) corretto possono essere necessari ancora da 1 a 5 livelli di mascheratura. Mediamente un gate array e' in grado di sostituire da 5 a 50 integrati SSI e MSI. Come si e' detto, i canali fra i blocchi devono ospitare tutte le piste di collegamento necessarie al circuito. Tuttavia puo' succedere che l' impiego di un numero elevato di blocchi saturi lo spazio a disposizione per il routing, specie nei canali piu' interni. Per questo motivo, anche se esistono sofisticati programmi per la scelta piu' opportuna dei blocchi (*placement*) e per il tracciamento dei collegamenti, risulta difficile utilizzare piu' del 60-80% dei blocchi a disposizione. In fig. si puo' notare la classica disposizione a matrice dei blocchi di un gate array. Questi, oltre che in tecnologia CMOS, possono essere realizzati in tecnologia TTL e, per le volocita' di funzionamento piu' elevate, ECL. Oltre ai programmi di *placement* e di *routing* sono disponibili programmi di *simulazione*

funzionale e temporale, che consentono di eseguire test sul circuito e quindi di introdurre modifiche prima ancora di passare alla fase di realizzazione. Una volta che il circuito è stato approvato, un apposito programma provvede a generare le maschere adatte alla realizzazione fisica dei collegamenti.

STANDARD CELL

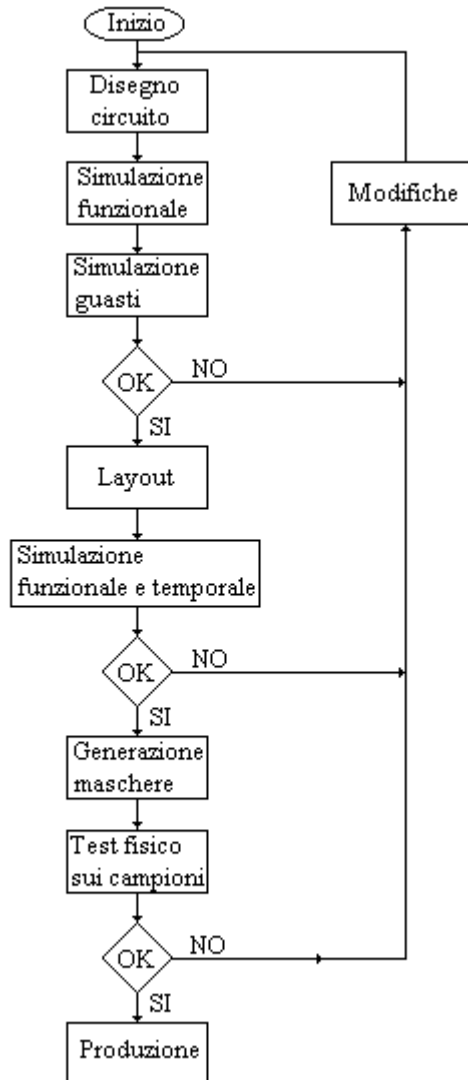
Rappresentano il prodotto più avanzato nel campo degli ASIC. Pur con l'uso di strumenti tecnologici completamente diversi, l'approccio del progettista al problema rimane nella sostanza molto simile a quello tradizionale. Con i dispositivi tradizionali il primo passo consiste nello scegliere su un catalogo i componenti più adatti per il progetto; successivamente si realizza il prototipo, lo si prova e lo si modifica fino a raggiungere lo scopo prefissato.

Analogamente con le standard cell il progettista inizia esaminando sul computer la libreria delle celle disponibili presso un determinato costruttore. Le librerie, destinate ad arricchirsi nel tempo, contengono tutti i componenti logici fondamentali, dalle porte ai multiplexer, decoder, sommatore, flip-flop, contatori, registri, fino ai circuiti più complessi come le ROM, RAM, ALU e i microprocessori. In molte librerie sono presenti anche componenti analogici come gli amplificatori operazionali, i comparatori, gli oscillatori, i convertitori A/D e D/A.

Per ciascuna di queste celle il costruttore ha realizzato un modello in grado di simulare sul computer il comportamento funzionale e temporale del dispositivo reale ed ha standardizzato sia il layout che le procedure di realizzazione su silicio, con le relative maschere.

Le celle scelte nella libreria vengono successivamente disposte e collegate fra di loro, sempre su computer, di solito tramite un programma *editor grafico*, in modo da ottenere il circuito desiderato. A questo punto sofisticati programmi di simulazione ne verificano il corretto funzionamento. Ultimati i test ed apportate le eventuali modifiche, il lavoro del progettista può ritenersi concluso. La realizzazione fisica dell'integrato viene ora eseguita dal fornitore di standard cell, utilizzando programmi che generano le maschere complessive del circuito a partire dalle maschere standard relative ad ogni singola cella. Rispetto al gate array si ha il vantaggio di una migliore occupazione del silicio; infatti il posizionamento delle singole celle così come i collegamenti, sono controllabili e variabili. Il lavoro di progettazione è però più lungo; per tanto questa tecnica è conveniente solo per produzioni su vasta scala. In figura è illustrata in forma di FLOW-CHART la successione delle operazioni che compongono il progetto. Si noti come dopo la prima simulazione funzionale venga effettuata una simulazione guasti. In questa fase si simula che eventuali difetti fisici del chip portino in mal funzionamento punti essenziali del circuito (ad esempio li tengano bloccati a zero o a uno) e si verifica se questi guasti potranno essere individuati durante il test finale su componente fisico. Se la percentuale dei guasti individuabili è del 95%, il progetto di norma può essere considerato soddisfacente. Il FLOW-CHART evidenzia che dopo il tracciamento del layout si eseguano ancora test funzionali e temporali; questi ultimi tengono conto dei parametri parassiti associati ai componenti fisici e ai collegamenti e controllano che le velocità di lavoro richieste possano realmente essere raggiunte. Gli strumenti informatici adatti ad assistere questa sofisticata tecnica di progettazione vanno dalle potenti Engineering Workstation (EWS), quali Apollo/Mentor, Sun, HP, ecc, ai personal computer in grado al giorno d'oggi di ospitare le librerie dei costruttori e di far girare programmi per il disegno e la simulazione dei circuiti.

$$\begin{aligned}\overline{\text{CLKOUT}} &= \overline{\text{SEL1}} \overline{\text{SEL0}} \overline{\text{CLKA}} + \\ &+ \overline{\text{SEL1}} \overline{\text{SEL0}} \overline{\text{CLKB}} + \\ &+ \overline{\text{SEL1}} \overline{\text{SEL0}} \overline{\text{CLKC}} + \\ &+ \overline{\text{SEL1}} \overline{\text{SEL0}} \overline{\text{CLKD}}\end{aligned}$$



T1BPAL16L8, T1BPAL16R4, T1BPAL16R6, T1BPAL16R8 HIGH-PERFORMANCE IMPACT PAL® CIRCUITS

- **High-Performance Operation**
 Propagation Delay . . . 15ns
 fMAX . . . 50MHz
- **Functionally Equivalent, but Faster than PAL16L8A, PAL16R4A, PAL16R6A, and PAL 16R8A**
- **Power-Up Clear on Registered Devices (All Registered Outputs are Set Low)**
- **Package Options Include Both Plastic and Ceramic Chip Carriers in Addition to Plastic and Ceramic DIPs**

DEVICE	INPUTS	3-STATE Q OUTPUTS	REGISTERED Q OUTPUTS	I/O PORTS
PAL16L8	10	2	0	6
PAL16R4	8	0	4(3-state)	4
PAL16R6	8	0	6(3-state)	2
PAL16R8	8	0	8(3-state)	0

description

These programmable array logic devices feature high speed and functional equivalency when compared with currently available devices. They combine the latest Advanced Low-Power Schottky† technology "IMPACT" with proven titanium-tungsten fuses. These devices will provide reliable, high-performance substitutes for conventional TTL logic. Their easy programmability allows for quick design of "custom" functions and typically results in a more compact circuit board. In addition, chip carriers are available for further reduction in board space.

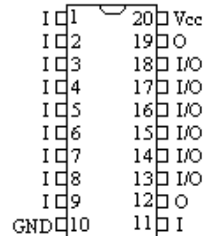
The half-power devices offer a choice of operating frequency, switching speeds, and power dissipation. In many cases, these half-power devices are fast enough to be used where

the high-speed, or "A", devices are used. From an overall system level, this can amount to a significant reduction in power consumption, with no sacrifice in speed.

The PAL16' M series is characterized for operation over the full military temperature range of -55°C to 125°C. The PAL16' C series is characterized for operation from 0°C to 70°C.

† integrated Schottky-Barrier diode-clamped transistor is patented by Texas Instruments U.S. Patent Number 3,463, 975

TABPAL16L8'
M SUFFIX . . . J PACKAGE
C SUFFIX . . . J OR N PACKAGE
(TOP VIEW)



TABPAL16L8'
M SUFFIX . . . FH OR FK PACKAGE
C SUFFIX . . . FN PACKAGE
(TOP VIEW)

