

ISTITUTO PROFESSIONALE DI STATO PER L'INDUSTRIA L'ARTIGIANATO

Viale dello Sport, 60

63039 SAN BENEDETTO DEL TRONTO (Ascoli Piceno)

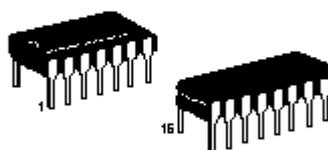
Distretto N.16

Classe VA T.I.E.E.

Anno Scolastico 1997/98

Docente: prof. Franco Tufoni

MEMORIE



MISURE

LE MEMORIE

Caratteristiche generali.

Le memorie sono componenti fondamentali nei sistemi di elaborazione, permettono:

- 1) L'acquisizione
- 2) Conservazione (a carattere transitorio o permanente)
- 3) Restituzione di un informazione

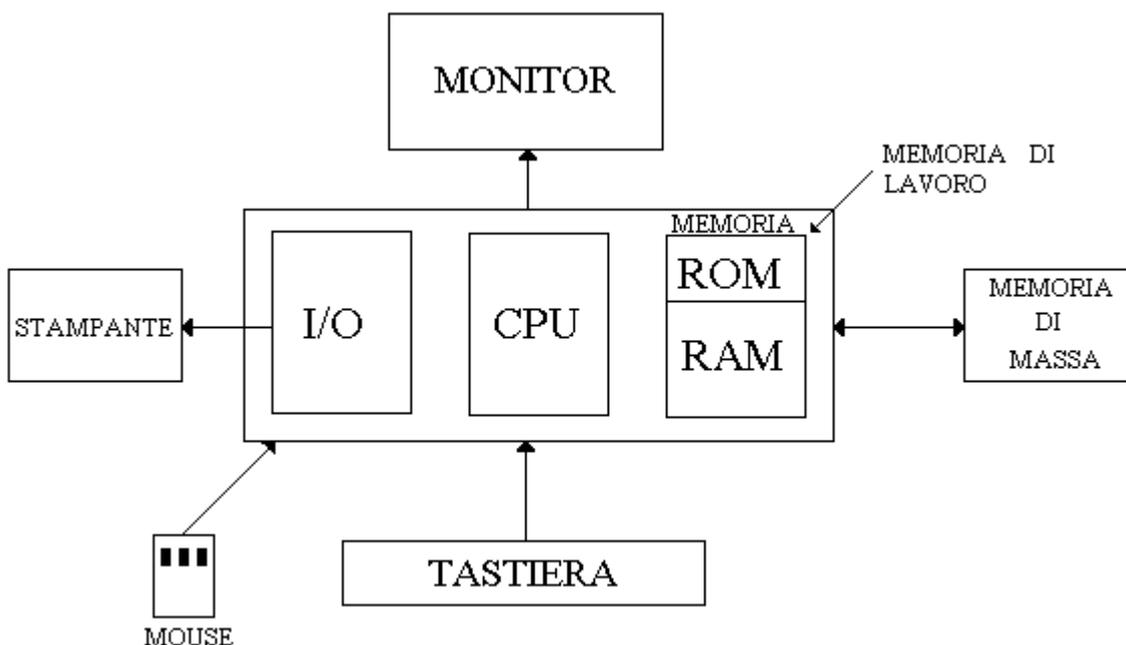
Le memorie si possono dividere in 2 grosse categorie:

- 1) Memorie di lavoro
- 2) Memorie di massa

Le memorie di lavoro (piccola e media capacità) sono memorie a semiconduttore e costituiscono la memoria centrale di un qualsiasi sistema di elaborazione dati.

Le memorie di massa (grande capacità) sono organizzate con sistemi magnetici (dischi, hard-disk, nastri e cd-rom), esse permettono di immagazzinare una grande quantità di dati, grossi archivi anagrafici, banche dati, enciclopedie, ecc.

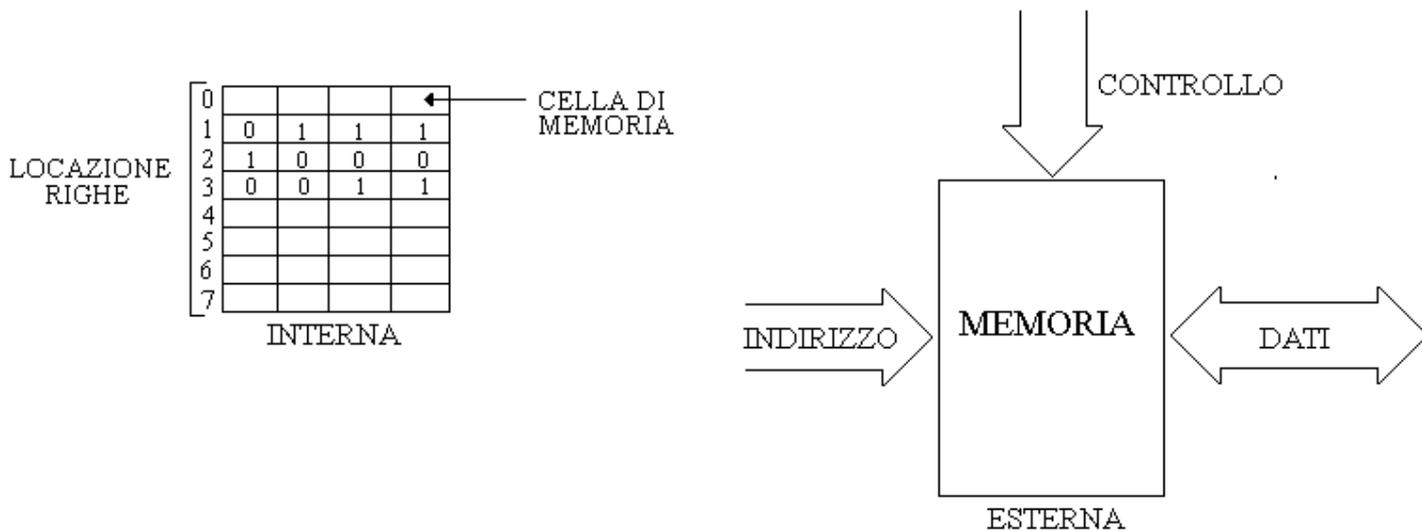
In un sistema di elaborazione dati (computer) ritroviamo sia le memorie. di lavoro che le memorie. di massa



Le memorie. di cui ci occupiamo (di lavoro e di massa) assumono e rendono poi disponibili le informazioni sottoforma di parole, ciascuna formata da un certo numero di bit.

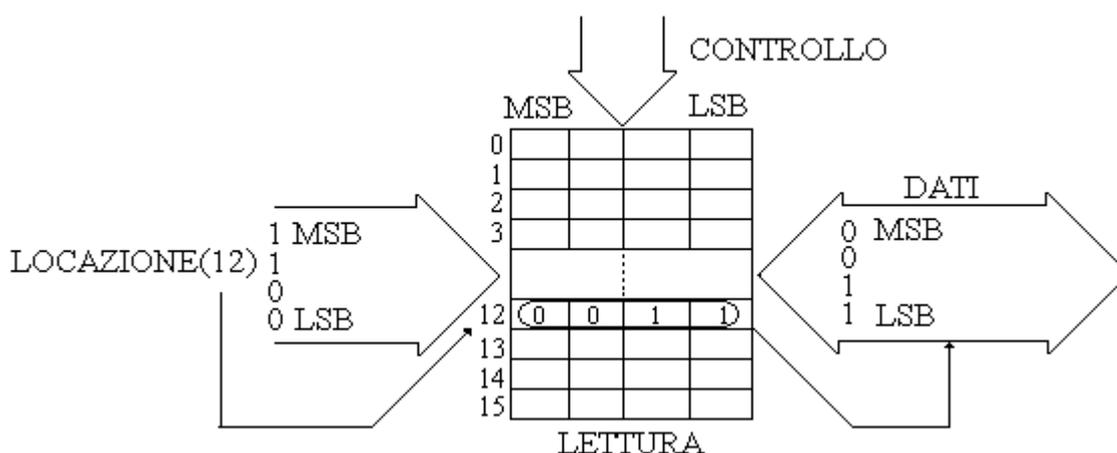
Memorie di lavoro a semiconduttore

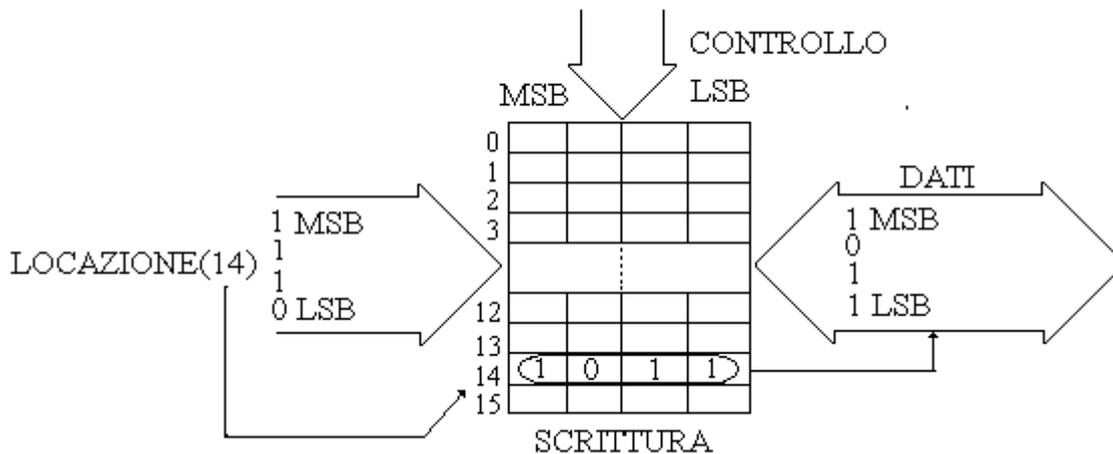
Una generica memoria. a semiconduttore, può essere schematizzata tramite il seguente schema.



La memoria. è strutturata a matrice, una riga individua una locazione di memoria. composta da un certo numero di celle (1,4,8), in ogni cella si può memorizzare l'unità elementare di un informazione digitale, cioè il bit (0,1). Ogni locazione viene individuata con uno specifico indirizzo, gli indirizzi sono espressi in decimale o in esadecimale. L'indirizzo una volta individuata la locazione, attraverso le linee dei dati si può leggere o scrivere un informazione digitale.

Le linee dei controlli servono per stabilire e controllare il funzionamento di tutte le memorie (controllo lettura e scrittura, enable o chip-select, etc.).





In una qualsiasi memoria., il numero delle linee indirizzi dipendono dal numero di locazioni , secondo la seguente relazione.

$$\boxed{N^{\circ} \text{ Loc} = 2^n}$$

$n = n^{\circ}$ linee indirizzi

Esempio:

Per individuare una memoria. con 256 locazioni, servono 8 linee indirizzi ($2^8 = 256$).

Le linee dei dati sono uguali al n° di colonne della memoria..

Le linee dei controlli dipendono dal tipo di memoria..

In genere le linee (indirizzi, dati, controlli) vengono indicate con bus.

Memorizzare un informazione significa far assumere a ciascun componente delle memoria. uno stato fisico predeterminato e stabile, in modo che attraverso un opportuno sistema di decodifica si possa recuperare l'informazione corrispondente in esso contenuta.

Si definisce capacità di memoria il prodotto n° di righe x n° di colonne.

$$\boxed{CM = NR \times N}$$

C

Esempio:

$$CM = (16 * 1 = 16 \text{ bit})$$

$$CM = (256 * 8 = 2048 \text{ bit})$$

$$CM = (1024 * 1 \text{byte} = 1024 \text{ byte})$$

Come unità di misura viene spesso usato il kbyte e cioè:

$$1 \quad \text{kbyte} \quad = 1024 \quad \text{byte} \quad = \quad 8192 \quad \text{bit}$$

Memorie

Le memorie. possono essere classificate in diversi modi:

- 1) Tipo di accesso:
 - a) Spaziale
 - b) Temporale
- 2) Tipo di impiego:
 - a) Memoria di lavoro
 - b) Memoria di massa

Tipo di accesso

Il tipo di accesso della memoria. può essere distinto in spaziale o temporale (casuale o temporale).

Le memorie. ad accesso spaziale possono essere considerate una matrice a molti elementi , ognuna delle quali contenente un informazione individuata da un indirizzo; per accedere all'elemento memorizzato, si dovrà fornire un indirizzo di riga e di colonna, mettendo in funzione il circuito che lo abilita.

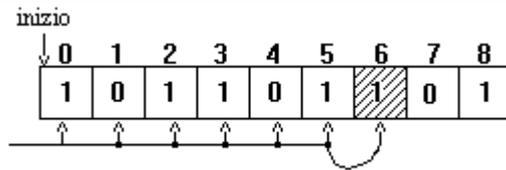
Ad esempio, in figura è illustrata una memoria formata da $8 \times 4 = 32$ elementi, ciascuno contenente un informazione binaria; per accedere all'elemento indicato con il tratteggio, si dovrà fornire l'indirizzo 2,1 (riga 2, colonna 1).

		COLONNE			
		0	1	2	3
RIGHE	0	1	1	0	1
	1	0	1	1	1
	2	1	0	0	0
	3	0	0	1	1
	4	1	0	0	1
	5	0	1	1	1
	6	1	1	1	0
	7	1	0	1	1

La suddivisione, indirizzo di riga e di colonna avviene con opportuni decoder all' interno della memoria, mentre all'esterno l'indirizzo individua una locazione composta da un certo numero di celle.

Le memorie ad accesso temporale hanno solo un ingresso al quale si presentano sequenzialmente, tutti i bit contenuti; per accedere ad un elemento si dovrà attendere che scorrino prima le informazioni di tutti gli elementi che lo precedono. Ad esempio in figura è illustrata una memoria ad accesso temporale ed in essa per accedere all'elemento indicato con il tratteggio, si dovrà attendere lo scorrimento dei 6 bit precedenti.

Memorie



Un esempio di memoria. ad accesso temporale : il nastro magnetico.

Tipo di impiego

Secondo il tipo di impiego le memorie. possono essere distinte in memorie. di lavoro e memorie. di massa.

Le memorie. di lavoro sono le memorie. centrali dei sistemi di elaborazioni dati, sono ad alta velocità, con estensione relativamente limitata dell'ordine di qualche M-Byte ed un costo elevato per bit . Le memorie di massa hanno un basso costo per bit elevata capacità dell'ordine delle centinaia di Mbyte, la velocità di queste memorie. è inferiore (di molto) delle memorie. di lavoro.

Le memorie. di lavoro sono in genere ad accesso spaziale ,mentre le memorie di massa sono ad accesso temporale.

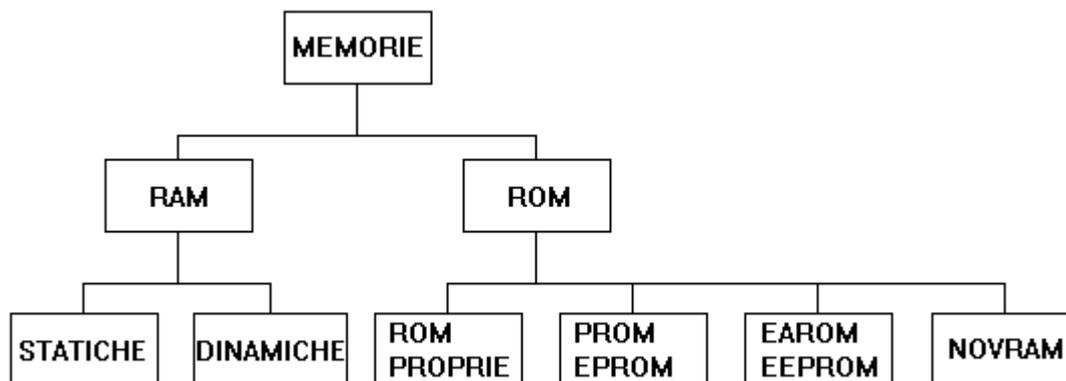
Classificazione delle memorie di lavoro

Le memorie. di lavoro, sono quelle ad accesso spaziale e sono costruite utilizzando elementi a semiconduttore .

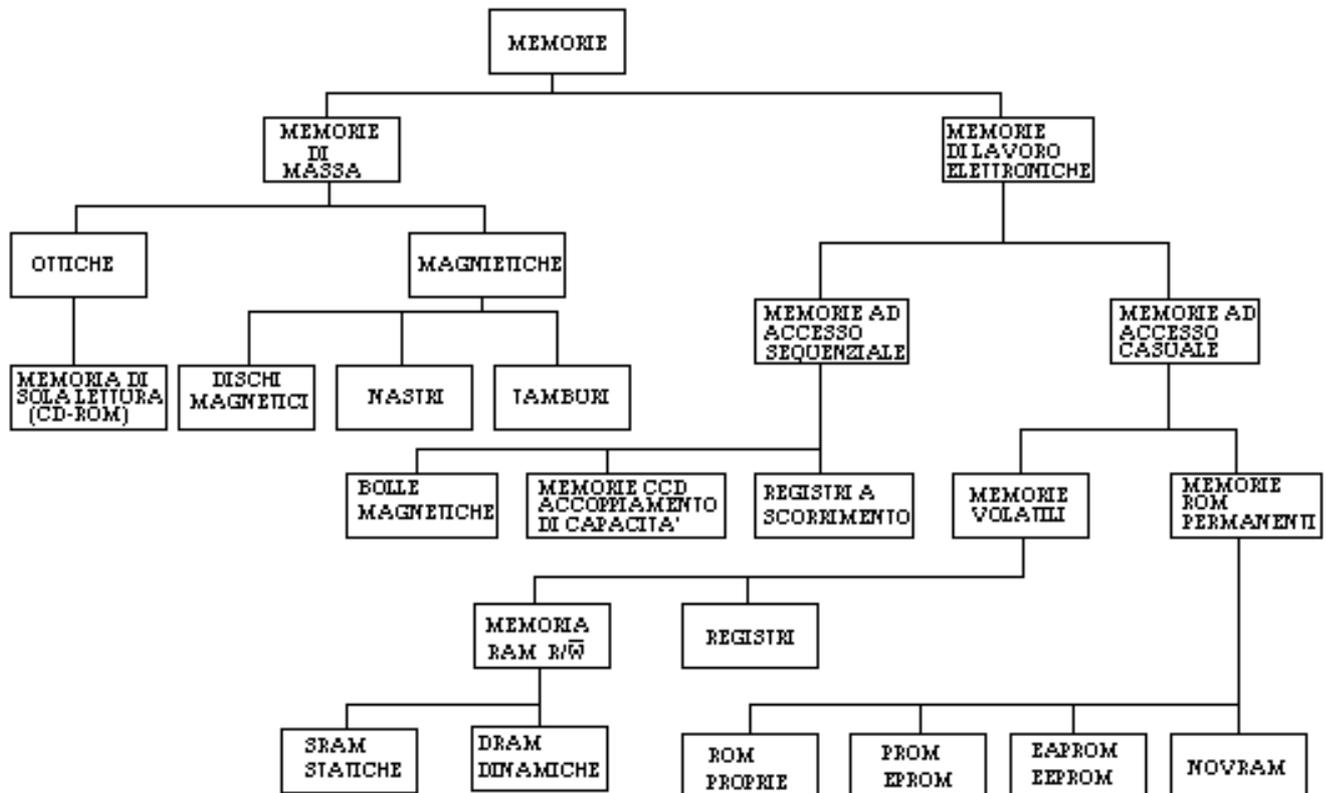
Esse possono essere suddivise in 2 classi fondamentali :

- 1) RAM (Random Access Memory)
- 2) ROM (Read Only Memory)

In figura riportiamo la suddivisione di queste memorie .



SCHEMA DI CLASSIFICAZIONE DELLE MEMORIE



MEMORIE RAM

Le memorie RAM (Random Access Memory), sono dette anche memorie di lettura e scrittura (RWM-Read Write Memory). Sono memorie nelle quali ogni cella elementare può essere indirizzata e gestita in modo indipendente; il contenuto della cella può essere letto e modificato durante il funzionamento. Le memorie RAM sono volatili, cioè l'informazione contenuta viene persa quando si toglie l'alimentazione. Le RAM possono essere suddivise in:

- 1) Statiche (SRAM)
- 2) Dinamiche (DRAM)

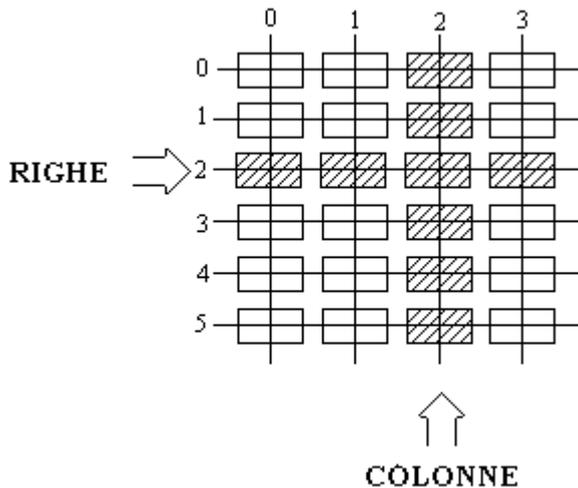
Le RAM statiche (SRAM) sono memorie di lettura e scrittura nelle quali ogni cella elementare è costituita da un normale Flip-Flop. Nelle RAM dinamiche (DRAM) ogni singola cella è costituita da una capacità (naturalmente realizzata in forma integrata); la presenza o l'assenza di carica, e quindi di tensione, sulla capacità corrisponde alla memorizzazione di un "1" oppure di uno "0".

Nelle RAM dinamiche, anche perdurando l'alimentazione, l'informazione tende a degradare nel tempo, e richiede perciò un intervento esterno atto a rigenerarlo. Le memorie dinamiche permettono di ottenere grandi capacità con costi relativamente bassi, tuttavia richiedono continue operazioni di rinfresco (refresh) (ogni 1-2 msec.) per tenere memorizzati i dati (se tale operazione non venisse effettuata, la capacità lentamente si scaricherebbe e l'informazione

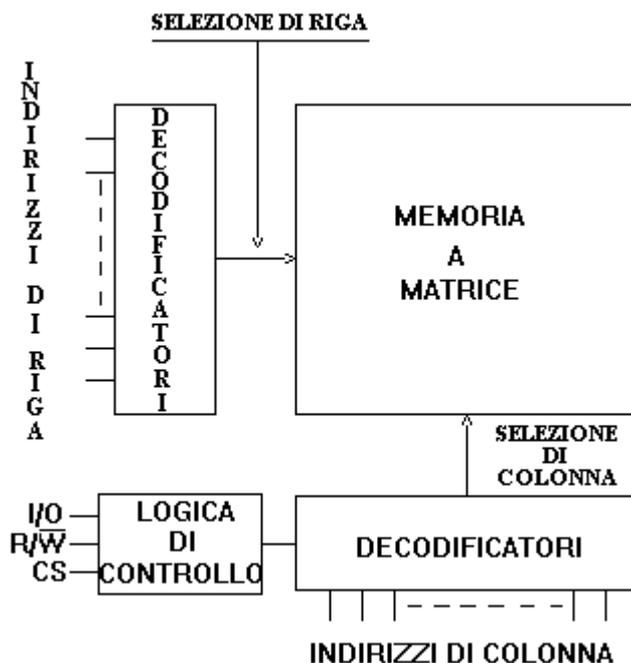
contenuta andrebbe persa).

RAM STATICHE

La memoria è composta da un numero di celle, pari al numero di bit da memorizzare a matrice e individuata, ciascuna, da due coordinate, una per la riga, l'altra per la colonna cui al cella appartiene. L'accesso alla cella perciò avviene, sia per la scrittura sia per la lettura, abilitando la riga e la colonna corrispondente, cioè indicando l'indirizzo.



In figura è tracciato lo schema a blocchi in cui appare l'organizzazione tipica di questa memoria.



Possiamo individuare le seguenti linee:

- 1) Indirizzo riga/colonna (indirizzo di locazione)
 - attraverso queste linee è possibile selezionare una locazione di memoria;
- 2) CS (Chip Select)

Memorie

- il chip select abilita il funzionamento dell'integrato; quando la memoria è disabilitata i terminali

di I/O sono posti in configurazioni THREE-STATE; questo permette il collegamento di più chip su un unico BUS (espansione di memoria);

3) R/W (Read/Write)

- questo segnale abilita la memoria al ciclo di lettura (R/W=1), e al ciclo di scrittura (R/W=0);

4) I/O (Input/Output)

- la linea di I/O viene utilizzata rispettivamente come Input nella fase di scrittura, oppure come

Output nella fase di lettura

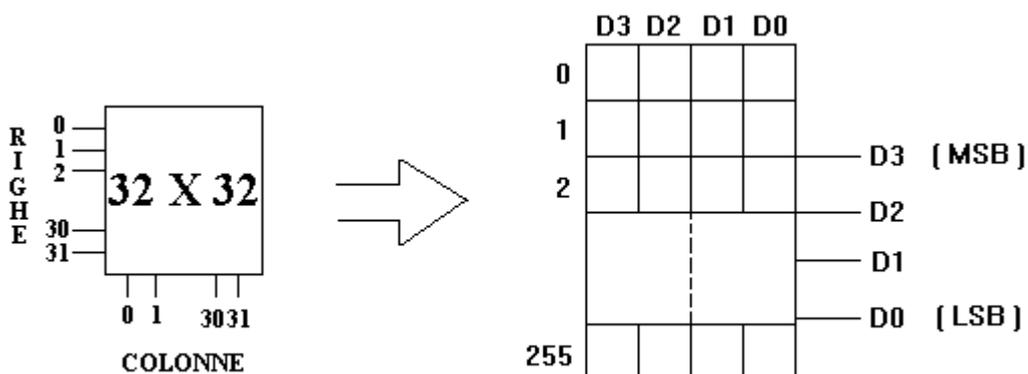
Il numero di linee di I/O dipendono dal numero di celle della locazione di memoria.

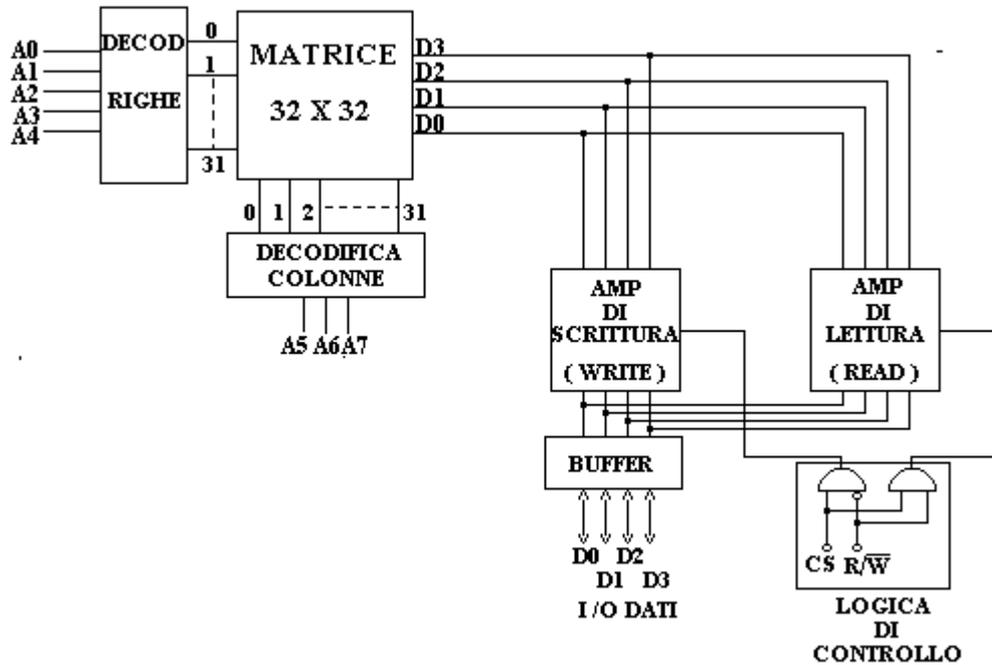
Accanto alle celle di memoria ed alla logica di controllo una RAM possiede anche circuiti ausiliari, quali ad esempio: Buffers bidirezionali ovvero elementi di disaccoppiamento con il mondo esterno, che permettono ai dati di compiere un percorso verso, oppure dalla memoria; inoltre ci sono opportuni amplificatori, che amplificano i segnali in fase di lettura e scrittura.

ESEMPIO:

RAM STATICA - $32 \times 32 = 1024$ matrice suddivisa in 256 locazioni da 4 bit

$256 \times 4 = 1024 \text{ bit}$
↑ ↑
LOCAZIONI n° CELLE PER LOCAZIONI





CS	R/W	DATI I/O	MODO
H	H	D OUT	LEGGE
H	L	H	SCRIVE "1"
H	L	L	SCRIVE "0"
L	X	Z	THREE STATE

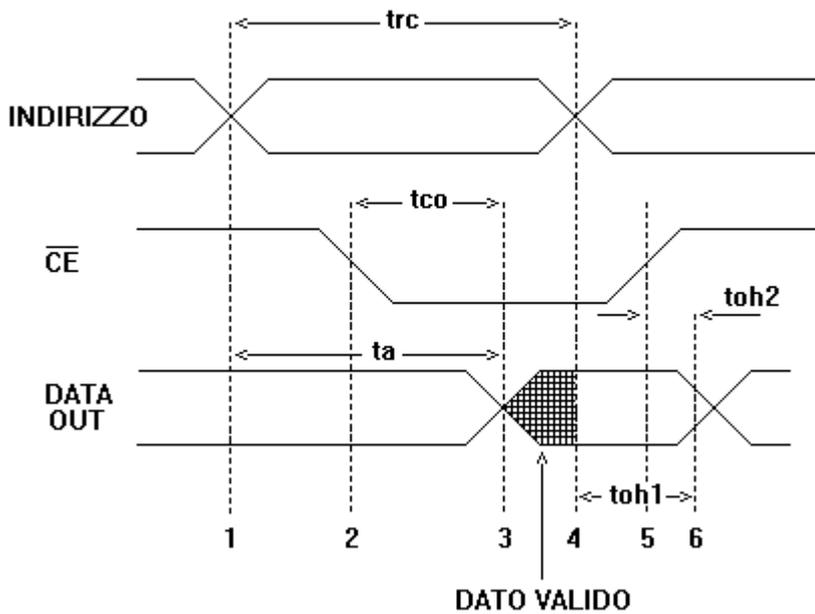
Le operazioni di lettura e scrittura richiedono una successione di segnali operativi legati ad un ciclo prestabilito, così come descritto più avanti.

CICLO DI LETTURA

I segnali interessati sono:

- indirizzo
- abilitazione del chip (CE)
- dati in uscita

essi si susseguono secondo i diagrammi di figura:



Come si osserva si hanno in successione i seguenti istanti:

- 1) Decodifica dell'indirizzo della cella, riga e colonna
- 2) Abilitazione del chip ($CE=0$)
- 3) Consenso alla lettura dei dati
- 4) Disattivazione del segnale di indirizzo
- 5) Disabilitazione del chip
- 6) Disabilitazione dei dati alla lettura

Durante il ciclo di lettura il segnale $R/W=1$. I tempi per il corretto funzionamento del dispositivo sono indicati come segue:

- **trc** (Read Cycle), tempo di lettura durante il quale gli indirizzi dovranno essere stabili;
- **ta** (Access), tempo di accesso, è il tempo che intercorre fra l'inizio del ciclo e l'istante in cui i dati sono disponibili in uscita;
- **tco** (Chip Enable To Output), tempo di abilitazione del chip, è il tempo che intercorre fra l'istante di abilitazione e l'istante in cui i dati sono disponibili in uscita;
- **toh1** (Read Data Valid with Respect to Address), tempo durante il quale i dati in uscita sono ancora validi dopo aver tolto i segnali di indirizzo;
- **toh2** (Read Data Valid with Respect to Chip), tempo durante il quale i dati in uscita sono ancora validi dopo aver disabilitato il chip;

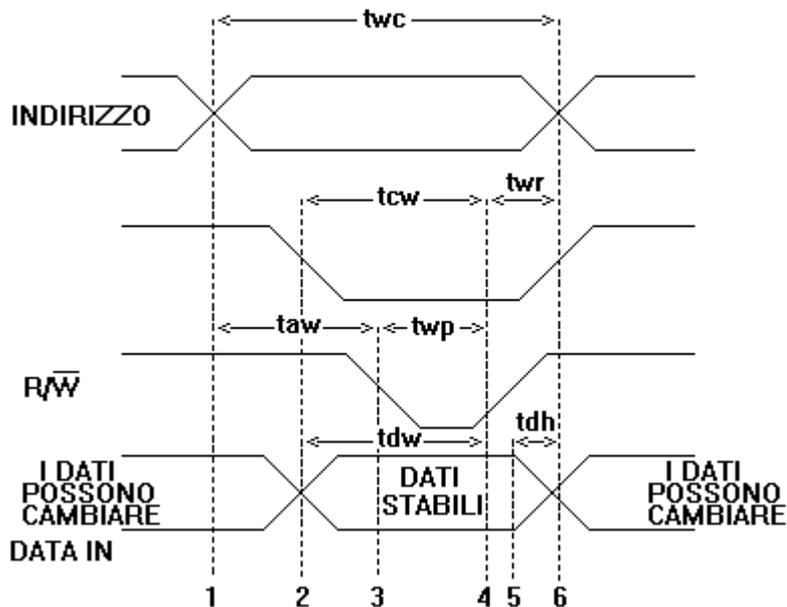
Osserviamo che il comando di disabilitazione del chip non è legato al ciclo e può essere attivato anche prima del segnale di indirizzo, oppure anche reso permanente, se l'uscita dati deve essere sempre attivata. Durante il ciclo di lettura il segnale $R/W=1$

CICLO DI SCRITTURA

In questo caso i segnali interessati all'operazione sono:

- indirizzo
- abilitazione del chip (CE)
- Comando di lettura e scrittura (R/W o WE)
- dati in ingresso

essi si susseguono secondo i diagrammi di figura:



Come si osserva si hanno in successione i seguenti istanti:

- 1) Decodifica dell'indirizzo;
- 2) Abilitazione del chip e dati in ingresso;
- 3) Comando di scrittura;
- 4) Fine del comando di scrittura;
- 5) Disattivazione dati in ingresso;
- 6) Disattivazione del segnale di indirizzo.e disabilitazione del chip

I tempi per il corretto funzionamento del dispositivo sono indicati come segue:

- **twc** (Write Cycle), tempo di scrittura, durante il quale gli indirizzi dovranno rimanere stabili;
- **taw** (Address to Write Set Up), tempo che intercorre fra l'inizio del ciclo e il comando di scrittura;
- **twp** (Write Pulse Width), durata del comando di scrittura;
- **twr** (Write Recovery), tempo che intercorre fra la cessione del comando di scrittura e la fine del ciclo;
- **tdw** (Data Set Up), durata di validita' dei dati in uscita a chip abilitato;
- **tdh** (Data Hold), residuo di validita' dei dati a chip disabilitato;
- **tcw** (Chip Enable to Write), tempo che intercorre fra l'abilitazione del chip e la cessazione del comando di scrittura.

Memorie

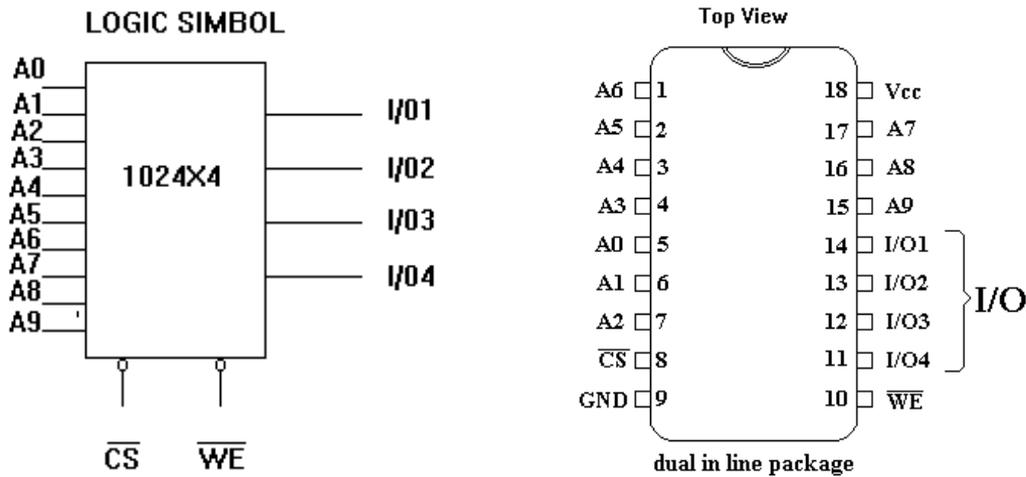
La temporizzazione dei segnali di una memoria RAM è di particolare importanza in quanto questo componente è generalmente interfacciato con una struttura a microprocessore il cui timing deve essere soddisfatto dalla memoria scelta.

ESEMPIO DI RAM STATICA (MM 214)

La memoria MM2114 è composta da una matrice di 4096 bit suddivisa in 1024 locazioni da 4 bit (1024*4).

Features

- All inputs and outputs directly TTL compatible
- Static operation - no clocks or refreshing required
- Low power - 225 mw typical
- High speed down to 200 ns access time (ta)
- TRI-STATE output for bus interface
- Common Data In and Data Out pins
- Single 5V supply
- Standard 18 pin dual-in-line package



CS	WE	I/O	MODO
H	X	Hi-Z	NOT SELECTED
L	L	H	WRITE "1"
L	L	L	WRITE "0"
L	H	Dout	READ

ESPANSIONE DI MEMORIA (RAM STATICA)

1) Espansione di righe

Nell'espansione di riga si devono rispettare i seguenti punti:

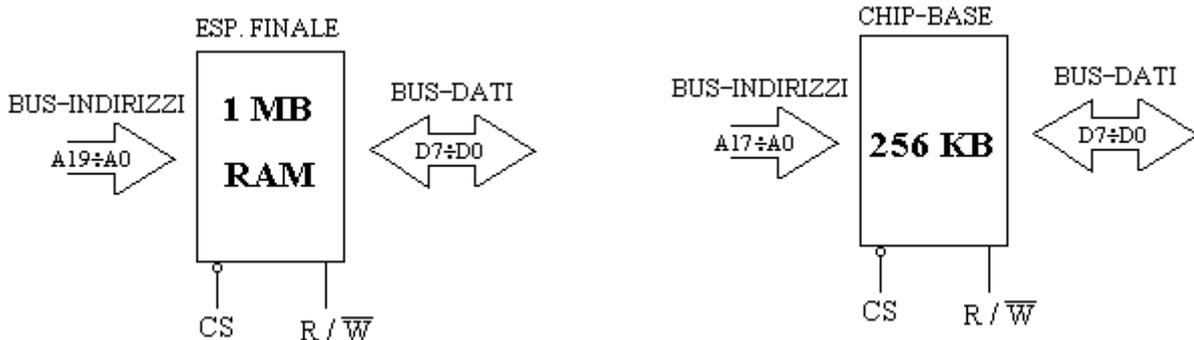
- 1) I terminali di I/O dati vanno collegati tutti insieme e costituiscono il Bus della memoria trovata;
- 2) I segnali di R/W vanno collegati tutti insieme e costituiscono il R/W della memoria trovata;
- 3) I Chip Select vengono comandati dai bit piu' significativi dell'indirizzo, attraverso porte NOT oppure Decoder;
- 4) I bit meno significativi dell'indirizzo vengono decodificati dai singoli chip dell'espansione.

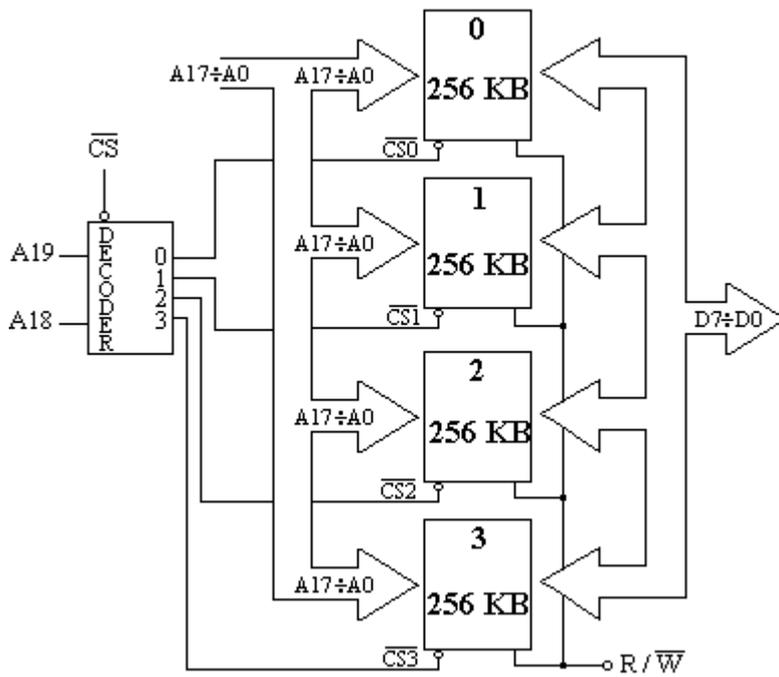
ESEMPIO:

Espansione da 1 MB, chip base 256 KB



MAPPA - MEMORIA





A19	A18	CHIP ENABLE
0	0	$\overline{CS0}$
0	1	$\overline{CS1}$
1	0	$\overline{CS2}$
1	1	$\overline{CS3}$

Memoria RAM Dinamica

Caratteristiche generali :

Una memoria RAM dinamica è un dispositivo che affida il mantenimento dello stato logico alla carica delle capacità presenti nel circuito (capacità parassite) .

Dato che tale carica è soggetta a decadimento in relazione alla costante di tempo con cui lavora , costante che , pur elevate , non può essere infinita , accade che , senza interventi esterni , la memorizzazione non potrebbe essere che temporanea.

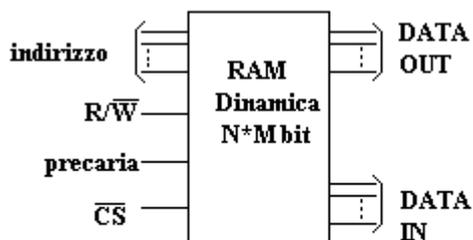
Per poter impiegare la memoria sarà necessario provvedere alla periodica ricarica delle capacità interelettrodiche mediante opportuni *circuiti di rigenerazione* (Refreshing) .

Va precisato che nei primi tipi di RAM dinamiche occorre provvedere alla fase di rigenerazione mediante opportuni circuiti esterni , questo a scapito di una maggiore complessità circuitale.

Attualmente sono tuttavia disponibili memorie dinamiche , dette pseudostatiche , nelle quali il circuito di rinfresco è integrato all'interno del Chip ; in questo modo , per l'utilizzatore , è come avere a disposizione una RAM statica.

Le memorie dinamiche presentano complessità circuitale e costi maggiori delle memorie statiche , cui però fa riscontro un minor numero di elementi attivi per cella elementare , ed il raggiungimento perciò di una più elevata densità di integrazione.

La memoria dinamica , come quella statica , è composta da un certo numero di celle a matrice rettangolare , individuate da una decodifica di indirizzo , articolata ancora sulla coincidenza fra riga e colonna.



Schema simbolico di una memoria RAM dinamica

In riferimento alla figura possiamo individuare le seguenti linee di ingresso , uscita e controllo:

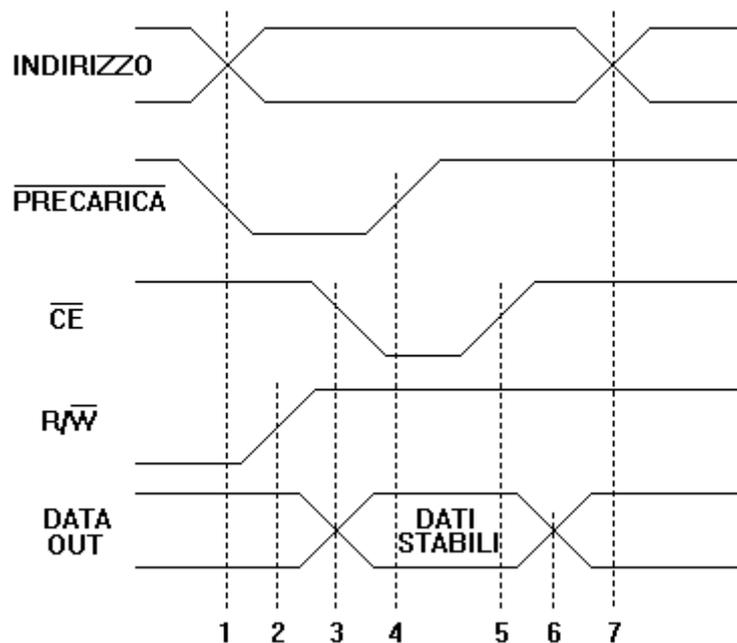
- **DATA IN** , per la scrittura dei dati ;
- **DATA OUT** , per la lettura dei dati ;
- **Precarica** (Precharge) ; questa linea deve rimanere un impulso per la ricarica delle capacità , prima che il dato in uscita sia letto ;
- **Letture/Scrittura** (R/W), per la selezione dell'operazione di lettura o scrittura ;
- **Selezione Chip (CS)** , è la linea impiegata per controllare l'ingresso e l'uscita della memoria.

Ciclo di lettura :

I segnali interessati all'operazione di lettura sono :

- indirizzo ,
- precarica , abilitazione del chip ,
- comando di lettura ,
- dati in uscita.

Essi si susseguono secondo in diagrammi di figura.



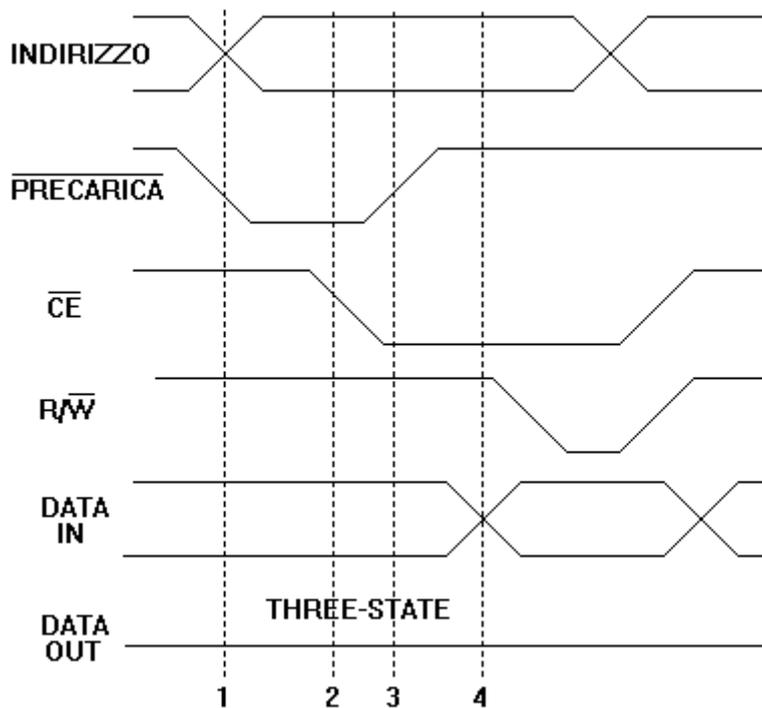
Come si osserva , per una corretta interpretazione del ciclo si devono avere , in successione , i seguenti istanti :

- 1) presenza dell'indirizzo stabile della cella , con decodifica di riga e colonna e contemporaneamente precarica del Chip con l'attivazione (bassa) della linea di precarica ;
- 2) consenso alla lettura , linea R/W alta ;
- 3) abilitazione del Chip e presentazione dei dati in uscita ;
- 4) fine dello stato di precarica ;
- 5) disabilitazione del Chp ;
- 6) disattivazione dei dati in uscita ;
- 7) disattivazione dei circuiti di indirizzo.

Il tempo medio per un ciclo (da 1 a 7) è valutabile in 300 - 450 ns.

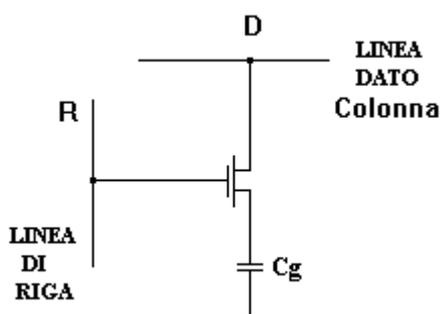
Ciclo di scrittura :

Il ciclo di scrittura è interpretabile in modo analogo a quello di lettura secondo i diagrammi di Figura. La differenza sostanziale è che durante l'abilitazione del Chip si presentano i dati in ingresso e si dà il comando di scrittura mentre le uscite sono in Three-State



CELLA DI MEMORIA A MOS

In figura è illustrata la cella elementare di una DRAM costituita dal condensatore di immagazzinamento C_g e da un transistor MOSFET.

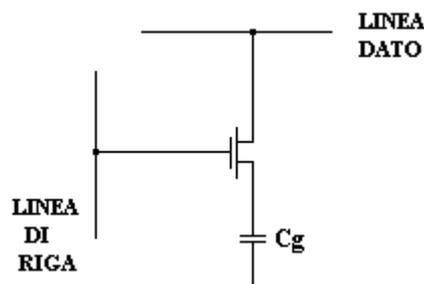


In questo tipo di cella, utilizzata in tutte le memorie dinamiche dell'ultima generazione, il transistor lavora come interruttore; quando la linea R è bassa il MOS è interdetto e il condensatore risulta isolato dal resto del circuito; una eventuale carica immagazzinata decade solo per effetto della corrente di perdita che scorre nella resistenza elevata, ma non infinita, del transistor MOS. Quando la linea R è attivata (alta), il condensatore viene a trovarsi collegato alla linea dati D, tramite la quale può essere caricato e scaricato nell'operazione di *scrittura*. Attraverso la linea D viene anche sentita la tensione sul condensatore. Ciò consente di rilevare la presenza di un livello 1 o 0 che può essere trasferito all'esterno del circuito, per un

operazione di *lettura*, o può essere semplicemente riscritto per un operazione di *rinfrasco*. Il meccanismo con cui avviene la rigenerazione dei dati è, nei dettagli, diverso per ogni tipo di RAM dinamica. In genere si compie attraverso una successione di cicli di lettura, che devono interessare, via via, tutte le celle. Il Bit sottoposto a lettura viene poi trasmesso alla linea di scrittura dati riscritto nella cella di provenienza mediante l'applicazione di un impulso di selezione scrittura.

RAM DINAMICHE CON RAS E CAS

Le RAM dinamiche presentano una densità di integrazione maggiore rispetto a quelle statiche, questo perchè la cella di memoria è realizzata con un numero minore di elementi attivi; attualmente la si realizza utilizzando un solo MOS, avente in serie al Source la capacità C_g come indicato in figura.



Esistono RAM dinamiche da (16K X 1), (32K X 1), (64K X 1).

Queste memorie richiedono molte linee di indirizzo; ad esempio una 16Kbit richiede 14 linee di indirizzo, una 64Kbit ne richiede addirittura 16.

E' possibile impiegare una memoria inferiore di linee fisiche, esattamente la metà, ricorrendo ad una logica ausiliaria che utilizzi particolari segnali di *strobe*:

RAS = Row Address Strobe
CAS = Column Address Strobe

La configurazione circuitale di queste RAM dinamiche è schematizzata in figura 28.8, e si riferisce ad una memoria 16K x 1

Notiamo che esistono solo 7 linee di indirizzi invece che di 14, poichè è compito dei segnali di RAS e CAS memorizzare il latch, rispettivamente di riga e di colonna, e in tempi distinti, l'indirizzo che seleziona la cella nella matrice di memoria.

L'operazione si svolge come indicato di seguito. Supponiamo di voler indirizzare la cella:

$$15DC_{\text{HEX}} = 01\ 0101\ 1101\ 1100$$

L'indirizzo binario formato da 14 bit viene spezzato in due parti, comprendenti 7 Bit ciascuna, e precisamente:

101 1100 che è la parte bassa, ed individua la riga;

01 0101 1 che è la parte alta, ed individua la colonna

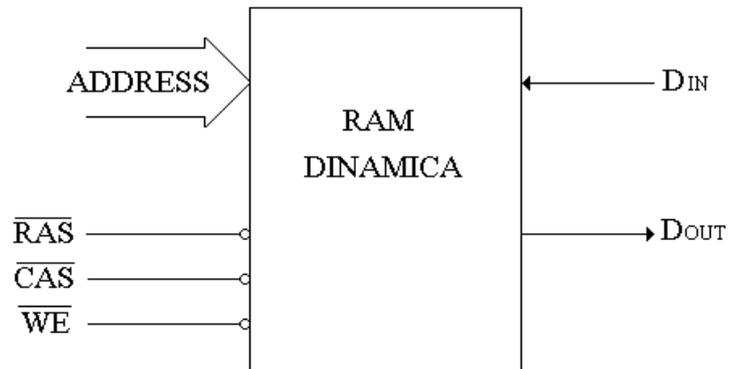


Fig. Simbolo logico di una memoria RAM dinamica con segnali di RAS e CAS

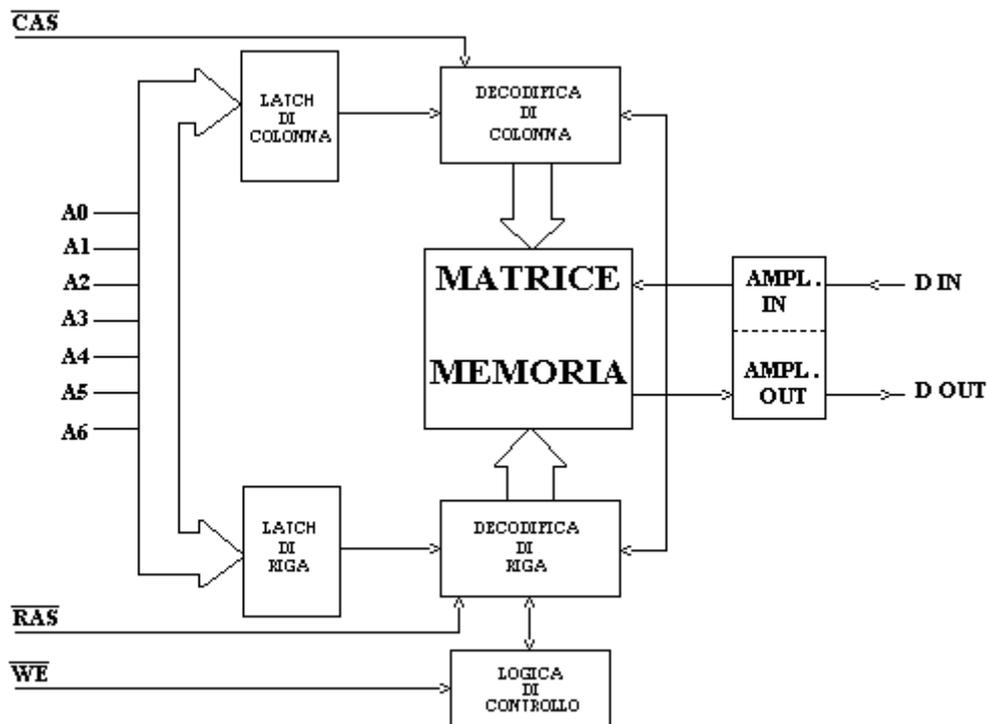


Fig. Struttura circuitale di una memoria RAM dinamica con segnali di RAS e CAS

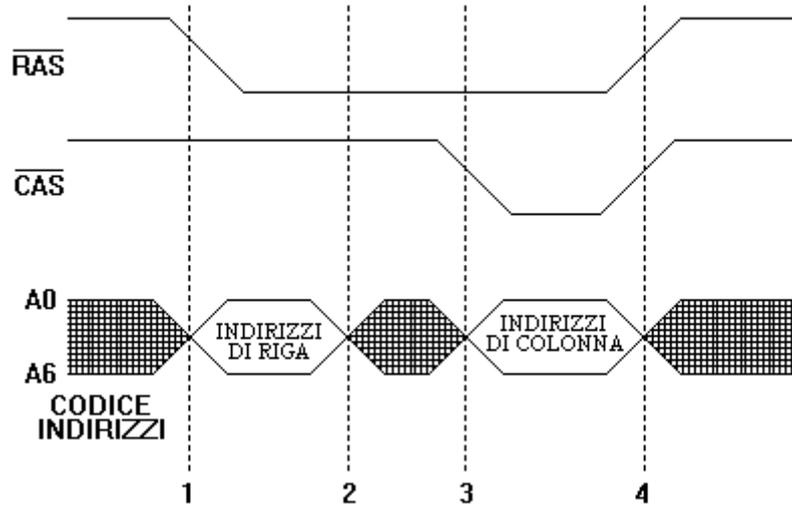


Fig. Diagrammi temporali di segnali di indirizzo della memoria

ESEMPIO DI RAM DINAMICA (TMS 4164)

- 65,536 x 1 Organization
- Single 5-V Supply (10% Tolerance)
- JEDEC Standardized Pin Out In Dual-in-Line Package
- Performance Ranges

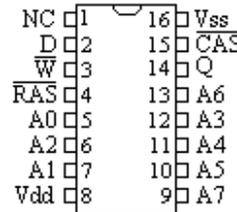
	ACCESS TIME ROW ADDRESS (MAX)	ACCESS TIME COLUMN ADDRESS (MAX)	READ OR WRITE CYCLE (MIN)	READ- MODIFY- WRITE CYCLE (MIN)
'4164-12	120nS	70nS	230nS	255nS
'4164-15	150nS	85nS	260nS	290nS
'4164-20	200nS	135nS	330nS	345nS

- Upward Pin Compatible with TMS4116 (16K Dynamic RAM)
- First Military Version of 64K DRAM
- Also Available with MIL-STD-883B Processing and L(0°C to 70°C), E(-10°C to 85°C), S(-55°C to 100°C), or M(-55°C to 125°C) Temperature Ranges
- Operations of the TMS4164 Can Be Controlled by TI's TMS4500A and/or THCT4501 Dynamic Ram Controllers
- Long Refresh Period . . . 4mS
- Low Refresh Overhead Time . . . As Low As 1,8% of Total Refresh Period
- All inputs, Outputs, Clocks Fully TTL Compatible
- 3-State Unlatched Output
- Common I/O Capability with Early Write Feature
- Page-Mode Operation for Faster Access
- Low Power Dissipation
 - Operating . . . 135mW (Typ)
 - Standby . . . 17.5 mW (Typ)
- SMOS (scaled-MOS) N-Channel Technology

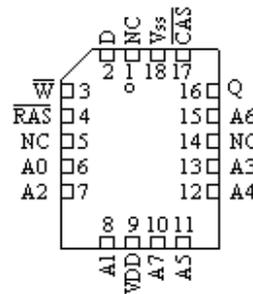
description

The TMS4164 is a high-speed, 65,536-bit, dynamic random-access memory, organized as 65,536 words of one bit each. It employs state-of-the-art SMOS (scaled MOS) N-channel double-level polysilicon gate technology for very high performance combined with low cost and improved reliability.

**N PACKAGE
(TOP VIEW)**



**FP PACKAGE
(TOP VIEW)**



PIN NOMENCLATURE	
A0-A7	Address Inputs
CAS	Column-Address-Strobe
D	Data In
NC	No Connection
Q	Data Out
RAS	Row-Address-Strobe
VDD	5-V Supply
Vss	Ground
W	Write Enable

MODULI DI MEMORIA DINAMICA

La maggior parte delle memorie dinamiche è organizzata in parole di un solo bit o , al massimo , di 4 bit . Poichè , come si è detto , i sistemi digitali operano in genere con parole di 8 o 16 o 32 bit , è indispensabile disporre più DRAM in parallelo per espandere la lunghezza della parola.

Considerando poi che le applicazioni di sistemi di memoria dinamica di elevata capacità si vanno affermando sempre più , le case costruttrici di circuiti integrati producono moduli compatti , in cui sono implementate le espansioni di parola o di memoria più comuni .

Questi moduli , realizzati disponendo su un unico supporto più memorie dinamiche integrate , consentono un sensibile risparmio di spazio e la riduzione delle connessioni su circuito stampato

MEMORIE A SOLA LETTURA (ROM)

Le memorie a sola lettura (Rom: Read Only Memory) sono realizzate per immagazzinare informazioni, non soggette a modifiche, che devono essere mantenute permanentemente; esse sono quindi memorie *non volatili* che consentono soltanto la lettura dei dati precedentemente memorizzati.

Nelle ROM propriamente dette (mask ROM :ROM a maschera) l'informazione viene scritta direttamente dal costruttore in fase di realizzazione dell'integrato mediante processi di diffusione e di metalizzazione con mascherature opportune. Esistono però anche memorie a sola lettura che possono essere scritte, ossia programmate, dall'utente stesso con modalità e tecniche varie; esse costituiscono la classe delle ROM *programmabili* comprendente PROM, EPROM, EAROM, E²PROM.

Poichè in una ROM i bit memorizzati nelle varie locazioni non devono essere modificati, non è necessario che nessuna cella di memoria sia costituita da un Flip-Flop in cui possono essere caricati i valori 0 e 1; il circuito ha più semplicemente una struttura di tipo combinatorio. Una ROM ha in pratica la funzionalità di un *convertitore di codice* che per una data combinazione dei valori d'ingresso (indirizzo di una locazione) fornisce in uscita un certo codice (parola contenuta nella locazione).

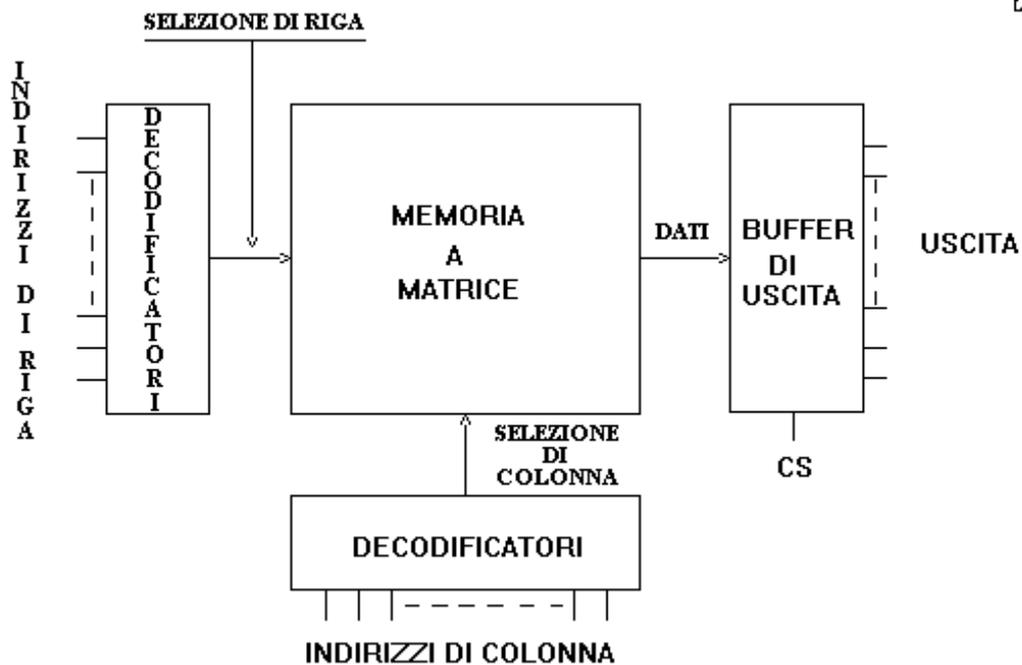


Fig. Struttura di una memoria ROM

La memoria è organizzata generalmente a matrice rettangolare e gli elementi sono individuati per coincidenza dei due indirizzi, uno di riga e uno di colonna (Fig. 29.1); esiste poi naturalmente un amplificatore di uscita, per ottenere i livelli desiderati.

La memorizzazione dei bit, 0 oppure 1, viene fatta corrispondere alla presenza, oppure all'assenza, di un certo elemento, od anche ad uno dei due stati possibili, di saturazione o di interdizione dell'elemento di memoria utilizzato che può essere: un diodo, un transistor BJT o un MOS.

Si comprende facilmente come ogni volta, per ogni particolare impiego, sia necessario intervenire per programmare, in modo unico e inamovibile, la memoria per la configurazione richiesta; ciò è giustificato solo per la produzione di un elevato numero di esemplari, generalmente almeno qualche migliaio.

In Fig. 29.2 è rappresentata una ROM a diodi, di 4x4 elementi. Poichè $4=2*2$, gli indirizzi richiedono ciascuno due linee, A0 e A1 per le righe, A2 e A3 per le colonne.

All' uscita della ROM i segnali, debitamente amplificati, vengono trasferiti sulla linea dati tramite l'abilitazione del Chip Select (CS).

Nell' insieme degli elementi (Array) della figura appare, in serie a ciascun diodo, un contatto; è possibile perciò che la memoria venga preformata con gli interruttori chiusi o aperti. Solo gli elementi che presentano i contatti chiusi possono trasferire in uscita il segnale, mettendo in contatto l'incrocio delle linee di riga e di colonna.

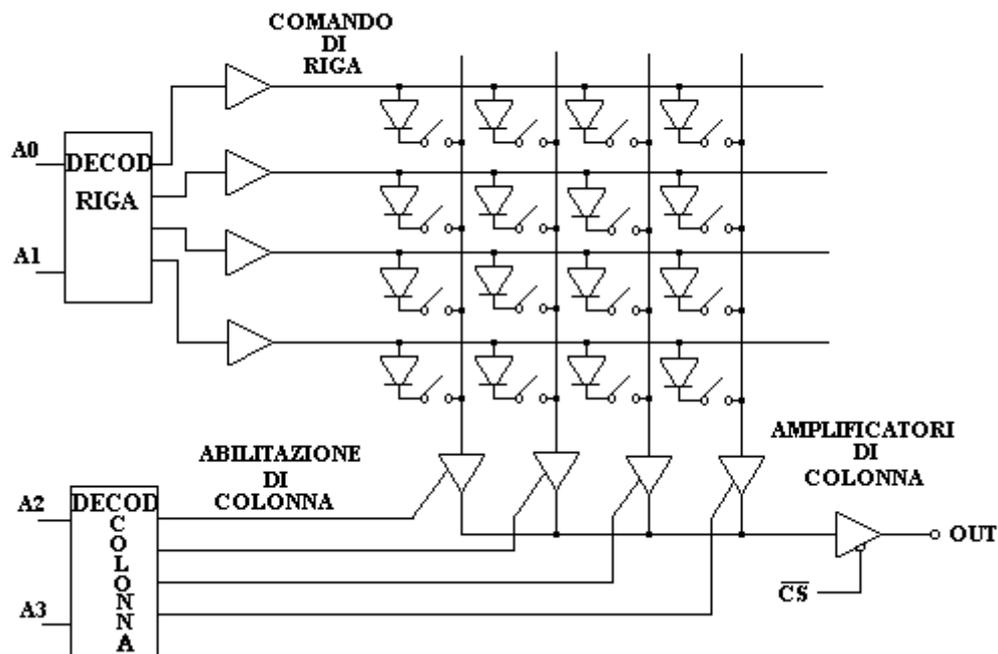


Fig. Memoria ROM a diodi

La principale classificazione delle ROM riguarda la formazione tecnologica degli elementi di contatto, aperti o chiusi. Distinguiamo:

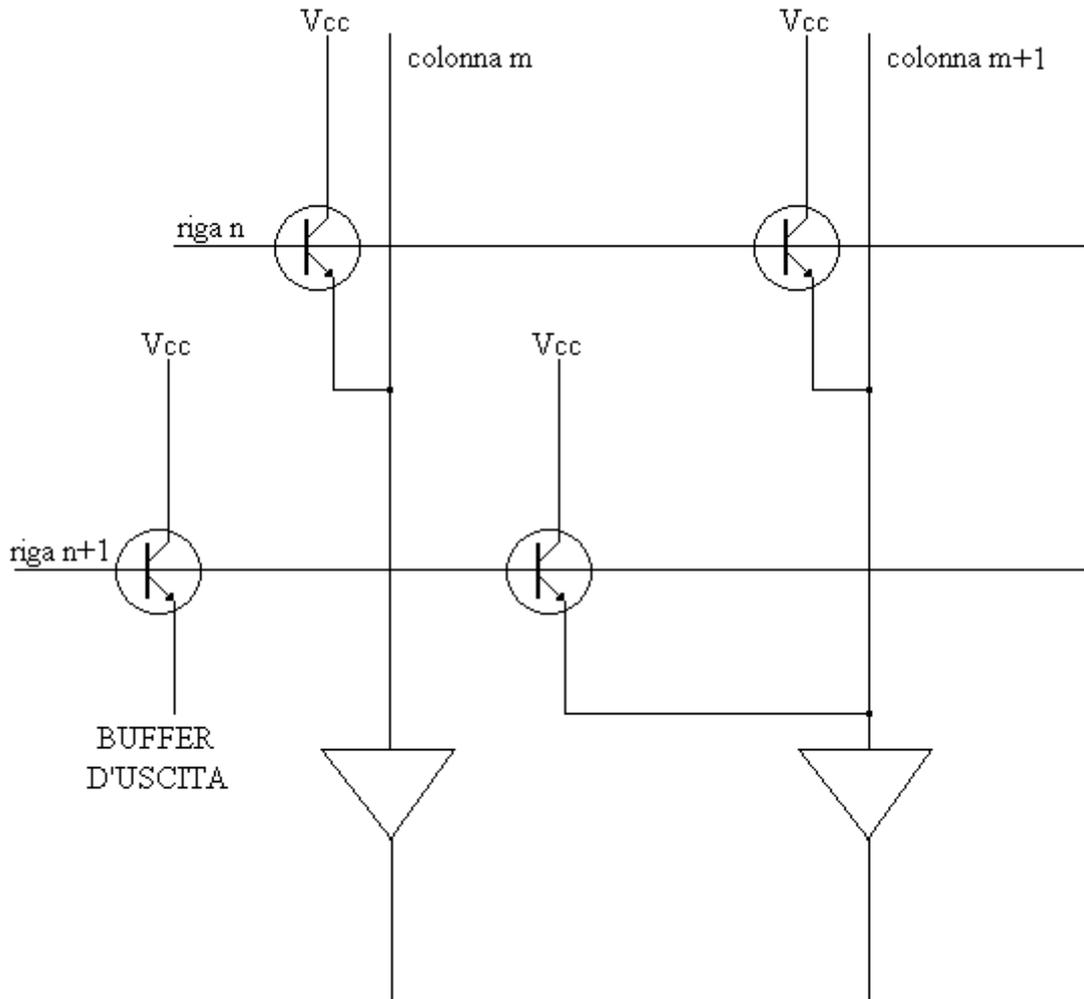
- 1) ROM a maschera programmabile (Mask Programmable ROM), nelle quali i contatti sono formati mediante l' introduzione, o meno, di un ponticello conduttore nella fase finale del processo di fabbricazione del chip.
- 2) PROM (Programmable ROM), nelle quali il contatto è realizzato mediante materiale fusibile, così da permettere la programmazione della memoria in un tempo successivo alla fabbricazione, quindi direttamente dall' utente.
- 3) EPROM (Erasable Programmable ROM), nelle quali la programmazione può essere ripetuta, annullando ogni volta la configurazione precedente mediante radiazione ultravioletta.
- 4) EAROM (Electrically Alterable ROM), nelle quali la programmazione può essere ripetuta, variando la configurazione precedente, agendo sulle linee di indirizzo e di programma, quindi in tempo reale.

ROM a Maschera

Queste memorie sono le ROM propriamente dette (ROMS) e sono programmate all' atto della costruzione del chip. I circuiti integrati sono derivati da una barretta di silicio da cui si ricavano, con opportuni processi di mascheratura, per diffusione e metallizzazione, i vari dispositivi; nella fase finale sono depositati i contatti che costituiscono la maschera di programmazione.

Le ROM a diodi (fig. 29.2), si sono dimostrate piuttosto lente. Attualmente per migliorare la

velocità si impiegano transistor secondo la configurazione di figura.



La struttura di base è rimasta la stessa, ma sono differenziate le linee di indirizzo, precisamente:

- Le linee di riga agiscono in base;
- Le linee di colonna prelevano il segnale in emettitore (Lettura dato).

Per la memorizzazione dell' informazione valgono le seguenti regole

- 1) Dato = 0 emettitore non collegato
- 2) Dato = 1 emettitore collegato

Per la realizzazione di ROM di elevata capacità viene preferita la tecnologia MOS che consente livelli di integrazione maggiori.

Il principio con cui viene implementato il codificatore è tuttavia analogo, l' alimentazione di riga agisce sul gate di un NMOS saturando e trasferendo il livello della massa della colonna indirizzata all' amplificatore di uscita, così come indicato in figura.

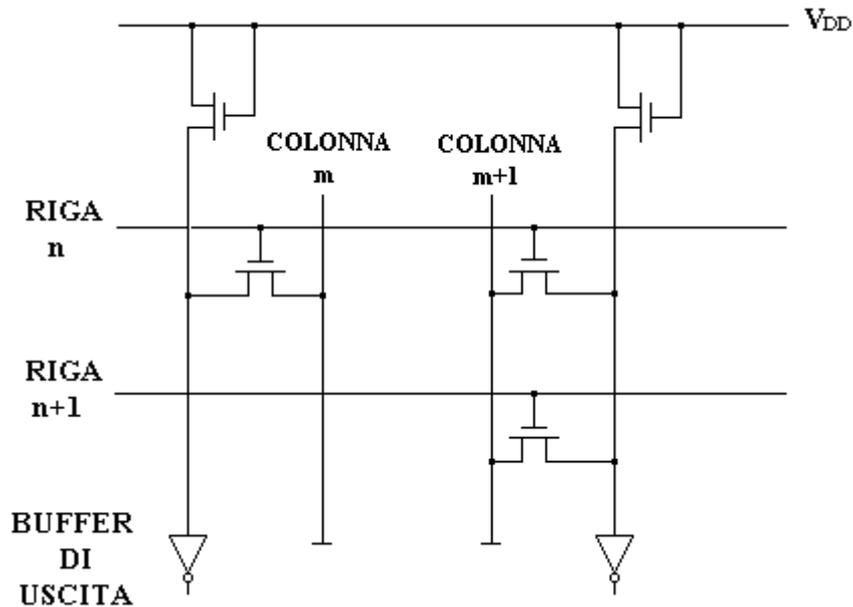


Fig. Memoria ROM a transistor MOS

Memorie PROM

Le memorie PROM sono memorie non volatili a sola lettura in cui l'informazione viene memorizzata, anziché durante la fabbricazione (ROMS), direttamente dall'utente (una sola volta).

La loro programmazione richiede un opportuno dispositivo, programmatore di PROM, ed un programma di gestione.

Nelle PROM è prevista la presenza di un microfusibile in serie all'emettitore dei vari transistor, che costituiscono la matrice di memoria.

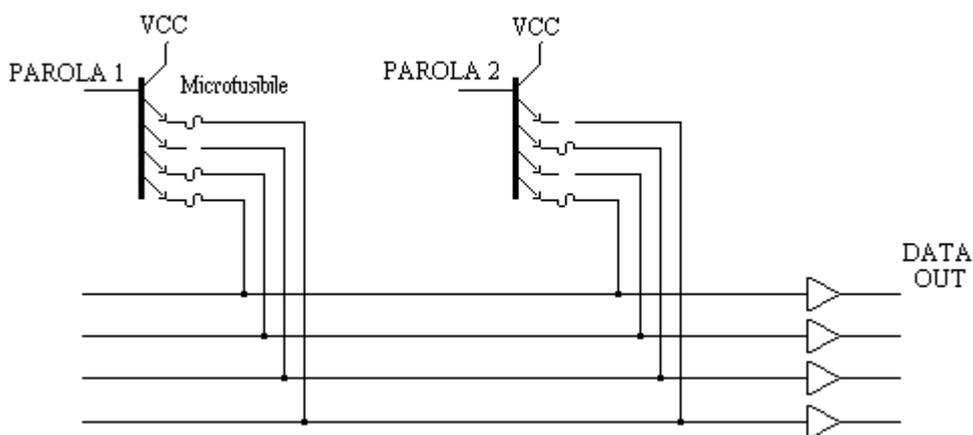


Fig. Memoria PROM a microfusibili

Per programmare una PROM, l'utente interrompe alcune delle connessioni (microfusibili) fra riga e colonna fissando a "0" il contenuto di determinate celle, la presenza della connessione garantisce "1".

La fusione del microfusibile si ottiene forzando il passaggio di una corrente pulsante (50 - 100

mA) negli emettitori. Ovviamente questo processo è irreversibile in quanto il fusibile interrotto non può essere ricostruito; tutt' al più la memoria può essere riprogrammata per inserire altri bit di valore "0".

I collegamenti fusibili vengono formati in fase di costruzione del chip utilizzando materiali come nichel-cromo o silicio policristallino. Il passaggio di un' elevata corrente in questi materiali causa un aumento della temperatura, che provoca la fusione oppure l' ossidazione del fusibile e quindi la creazione di una zona non conduttiva.

In commercio sono disponibili PROM bipolari con capacità limitata, da 256 bit a 2 Kbyte, con tempi di accesso dell' ordine di 40 nsec.

La tecnologia MOS (HVC MOS) offre capacità maggiori, fino a 64 Kbyte con tempi di accesso dell' ordine di 200 ns.

Memorie EPROM

Una PROM può essere programmata una sola volta, questo ne limita l'impiego ai casi in cui la mappa dei bit da memorizzare è perfettamente definita e non si provvede di dover seguire modifiche.

Una EPROM (Erasable PROM : PROM cancellabile) viene programmata elettricamente dall'utente ma può successivamente essere cancellata per intero mediante esposizione a radiazione ultravioletta (UV) (20-30 min) e quindi riprogrammata con nuovi dati.

Affinchè la radiazione possa penetrare all'interno del chip, il contenitore presenta sulla faccia superiore una finestrella di materiale trasparente, che deve essere riparata dalla luce ambiente dopo la programmazione. Il numero di programmazioni e cancellazioni possibili è elevato (circa 50).

Il principio di funzionamento si basa sull'impiego di un MOSFET a Gate fluttuante (FAMOS : Floating-gate Avalanche-injection MOS), quindi con l'elettrodo di Gate immerso nell'isolante formato dal biossido di silicio.

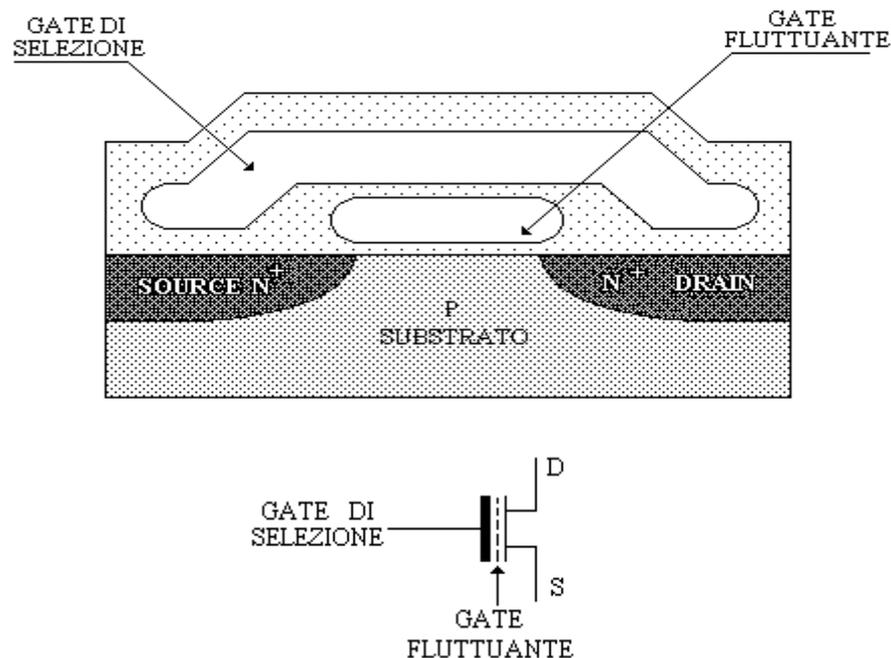


Fig. MOS a Gate Fluttuante per memoria EPROM

In assenza di polarizzazione il MOSFET, di tipo Enhancement, è allo stato di interdizione.

Forzando il Gate a caricarsi positivamente si ottiene, per effetto elettrostatico, la formazione di un canale n che rende il MOS conduttivo.

Poichè il Gate è isolato, le cariche in esso immagazzinate rimangono imprigionate e si conservano per tempi molto lunghi, (> 10 anni).

La carica del Gate si ottiene applicando una determinata tensione ($20 \text{ v} < V_{pg} <$) ad impulsi, di durata (10-50 msec) fra Drain e Source.

L'operazione di programmazione si ottiene mediante l'impiego di opportuni programmatori (EPROM Programmer), corredati di relativo software di gestione.

Circuito Integrato

Un esempio tipico di memoria EPROM è la TMS 27C256. Si tratta di una memoria realizzata in tecnologia HVCMOS ed avente una capacità di 32 KByte (32768x8=262.144 bit).

TMS27C256

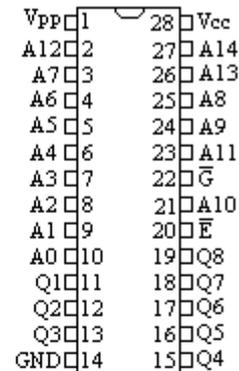
262,144-BIT ERASABLE PROGRAMMABLE READ-ONLY MEMORY

- Organization . . . 32K x 8
- Single 5V Power Supply
- Pin Compatible with Existing 128K and 256K EPROMs
- All Inputs/Outputs Fully TTL Compatible
- Max Access/Min Cycle Time

'27C256-1,	'27C256-17	170nS
'27C256-2,	'27C256-20	200nS
'27C256,	'27C256-25	250nS
'27C256-3,	'27C256-30	300nS
'27C256-4,	'27C256-45	450nS
- HVCMOS Technology
- 3-State Output Buffers
- 400mV Guaranteed DC Noise Immunity with Standard TTL Loads
- Low Power Dissipation (Vcc =5.25 V)
 - Active . . .210mW Worst Case
 - Standby . . .1.4mW Worst Case

(CMOS-Input Levels)

**J PACKAGE
(TOP VIEW)**



PIN NOMENCLATURE	
A0-A14	Address Inputs
E	Chip Enable/Power Down
G	Output Enable
GND	Ground
Q1-Q8	Outputs
Vcc	5-V Power Supply
Vpp	12.5-V Power Supply

description

The TMS27C256 series are 262,144-bit, ultraviolet-light erasable, electrically programmable read-only memories. These devices are fabricated using HVCMOS technology for high speed and simple interface with MOS and bipolar circuits. All inputs (including program data inputs) can be driven by Series 74TTL circuits without the use of external pull-up resistors, and each output can drive one Series 74TTL circuit without external resistors. The data outputs are 3-state connecting multiple devices to a common bus. The TMS27C256 is pin compatible with existing 28-pin ROMs and EPROMs. It is offered in a dual-in-line ceramic package (J suffix) rated for operation from 0° to 70°.

operation

There are seven modes of operation for the TMS27C256 listed on the following page. Read mode requires a single 5-V supply. All inputs are TTL level except for Vpp during programming (12.5V) and 12V on A9 for signature mode.

**TEXAS
INSTRUMENTS**

Il dispositivo è a singola alimentazione Vdd=5v per il normale funzionamento, mentre necessita di una tensione di programmazione di Vpp=25 v.

Il tempo di accesso è compreso tra 170 e 450 ns.

Possiamo distinguere le seguenti linee di funzionamento:

Disegno (Paint)

A0 - A10	sono gli 11 indirizzi di memoria per selezionare una delle $2^{11} = 2048$ parole.
O0 - O8	sono le 8 uscite dati.
OE (neg)	è l'abilitazione delle uscite (OUTPUT ENABLE) .
CE (neg) / PGM	se tenuto a livello basso comanda l'abilitazione del dispositivo ; se tenuto a livello alto abilita la fase di programmazione.

Per il ciclo di programmazione e di lettura si possono consultare i relativi diagrammi riportati sul DATA Sheet.

Rileviamo che , per quanto riguarda le uscite , queste sono provviste di un opportuno Buffer , formato da due MOs in configurazione Push-Pull , come rappresentato in figura.

Il comando Oe (neg) agisce nel seguente modo:

- a livello alto pone l'uscita in Three - State che si porta quindi su alta impedenza ;
- a livello basso abilita l'uscita , che può pilotare un carico TTL garantendo così l'interfacciabilità diretta.

MEMORIE EAROM

Sono memorie in cui è possibile programmare e cancellare il contenuto delle celle elementari per mezzo di opportuni *impulsi elettrici*. Si utilizzano ancora, come celle elementari, MOS a GATE fluttuante, ma questa volta la cancellazione avviene egualmente con l'applicazione di impulsi elettrici; essa può essere anche selettiva, ovvero avvenire solo per le celle previste. Queste operazioni sono eseguite tramite un adatto dispositivo logico, provvisto del relativo programma di gestione.

Queste memorie possono anche essere considerate a lettura/scrittura, con caratteristiche riconducibili a quelle delle RAM.

In realtà le operazioni di lettura e scrittura sono molto differenti. Per la scrittura si richiede infatti, oltre ad elementi di hardware e software specializzati, un tempo notevolmente più lungo, dell'ordine di alcuni millesecodi, mentre la lettura richiede un tempo di molto inferiore; si tratta quindi di una memoria a scrittura lenta e lettura rapida.

Le EAROM hanno perciò il vantaggio di poter essere modificate senza rimuoverle dal resto del circuito, per conto richiedono, per la cancellazione, valori di tensione di circa 30V e posseggono costo elevato.

Esistono attualmente due tecnologie per la realizzazione delle EAROM e sono:

- elementi di memorie al nitruro;
- uso di FAMOS modificati .

EEPROM

Il limite costituito dai tempi di cancellazione piuttosto lunghi delle EPROM viene

brillantemente superato dalle memorie programmabili CANCELLABILI ELETTRICAMENTE note come EEPROM (electrically erasable programmable read-only memory) o E²PROM. Esse rappresentano la forma più avanzata e flessibile, ma anche più costosa, delle PROM. Diversamente dalle EPROM, che richiedono la cancellazione completa anche per modificare un unico bit, le E²PROM consentono la cancellazione completa e la riscrittura selettiva di ciascuna cella.

Realizzate con tecnologia MOS, sono costituite da transistori a doppio gate, simili a quelli utilizzati nelle UV-EPROM.

In questo caso però, sia la scrittura che la cancellazione avvengono applicando tensioni superiori ai normali livelli di lavoro, con polarità e temporizzazioni adeguate.

La possibilità di cancellare elettricamente il contenuto della memoria rappresenta un vantaggio molto importante anche perché consente di modificare i dati memorizzati senza rimuovere il chip dal sistema in cui è inserito se questo è dotato della necessaria circuiteria per la cancellazione e la scrittura.

Fra l'altro si deve osservare che l'evoluzione tecnologica ha via via migliorato la struttura delle celle delle E²PROM, che ora comprendono appunto anche i circuiti di cancellazione e scrittura. Il limite attuale delle E²PROM consiste nel fatto che la loro capacità è ben inferiore a quella delle EPROM e il costo per bit è piuttosto elevato.

Tale svantaggio viene superato dai dispositivi cancellabili elettricamente noti come MEMORIE FLASH. Questi raggiungono capacità paragonabili a quelle delle EPROM e al tempo stesso consentono la cancellazione veloce dell'intera memoria (o di un settore) direttamente sul sistema in cui sono inserite.

EAROM

Accanto alle E²PROM meritano di essere citate le EAROM (electrically alterable ROM), che sono state le prime memorie non volatili cancellabili elettricamente. Benché il principio fisico in cui si basano la scrittura e la cancellazione delle EAROM sia del tutto differente da quello sfruttato nelle E²PROM, dal punto di vista funzionale possono essere considerate simili. I motivi che hanno determinato la sostanziale obsolescenza delle EAROM sono principalmente le elevate tensioni di programmazione richieste, la non compatibilità della piedinatura con quella, ormai standard, delle EPROM, e il fatto che necessitano di due o tre tensioni di alimentazione.

NV-RAM

Un'ultima interessante classe di memorie programmabili e cancellabili elettricamente è costituita dalle NV-RAM (non volatile RAM) o shadow -RAM (RAM ombra). Esse sono composte essenzialmente da due matrici di memoria, con identica capacità ed organizzazione, l'una di tipo E²PROM, l'altra costituita da una RAM statica ossia da una memoria volatile a lettura e scrittura.

Durante le normali fasi di lavoro, le operazioni di lettura e scrittura vengono eseguite accedendo alla RAM; con ciò si evitano i reiterati e relativamente lunghi cicli di cancellazione-scrittura delle E²PROM.

Quando però l'alimentazione scende al di sotto di un valore limite, il contenuto della RAM viene trasferito nella matrice non volatile.

L'inconveniente di questi dispositivi è costituito dalla maggiore complessità circuitale che ne limita la capacità e determina un costo per bit molto elevato.